

Université de Béjaia Faculté des sciences exactes Département de mathématique Niveau Licence 1	Examen de Structure Machine 2 Durée : 1h30 5 Nov 2020 de 11h30 à 13h00	CORRIGE
---	---	----------------

Chapitre 1 : Circuits logiques combinatoires – CLC (sur 13 points)

Q1 : Processus de Conception des CLC (sur 2 points) : Complétez le tableau suivant :

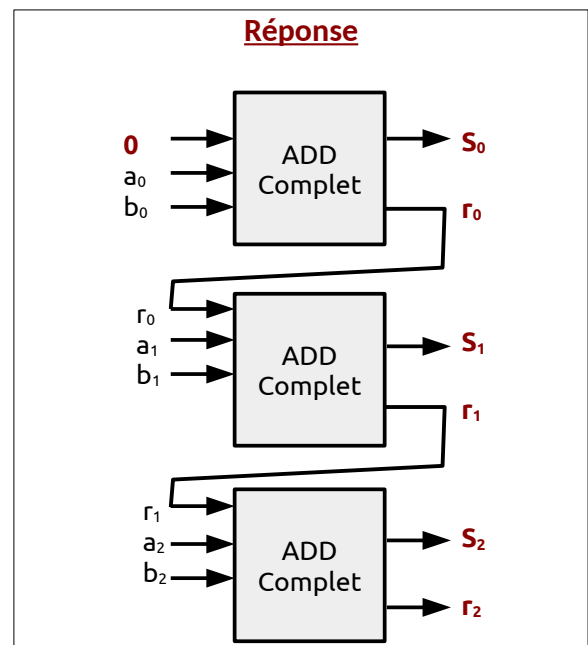
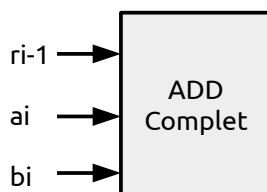
Étape 1	Spécification du problème
Étape 2	Identifier les entrées et les sorties
Étape 3	Déduire la table de vérité
Étape 4	Déduire les expressions logiques (des sorties)
Étape 5	Simplifier les expressions logiques (des sorties)
Étape 6	Délivrer le circuit logique final
Étape 7	Réaliser le montage électronique ou simuler sur ordinateur
Étape 8	Valider pour une production

Indication : chaque réponse vaut 0.5 points

Q2 : indiquer les 2 catégories de circuits logiques (sur 0.5 points)

Réponse : Circuits logiques combinatoires et circuits séquentiels

Q3 : Additionneur sur 0.5 point : En vous basant uniquement sur les additionneurs complets ci-dessous, donnez le schéma de montage en cascade d'un additionneur 3 bits. (*Attention, ici vous n'avez pas de demi-additionneur!*)



Q4 : Faire la différence entre CLC et CLS (sur 0.5 point)

Complétez la phrase suivante : Les circuits logiques séquentiels (CLS) se distinguent des circuits logiques combinatoires (CLC) par la présence d'éléments permettant de**mémoriser**..... l'état des sorties et de s'en servir comme entrées en plus des entrées combinatoires.

Garder, sauver, stocker, sauvegarder

Q5 : Analyse et synthèse de circuits logiques combinatoires (CLC) (sur 1 point) :

Analyser un circuit consiste à

- ✓ **trouver les équations de ses sorties et à déduire ce qu'il fait**
- à trouver son logigramme en se basant sur un cahier de charge et en suivant une méthode de conception
- simplifier ses équations
- trouver sa forme canonique

Faire la synthèse d'un circuit consiste à

- trouver les équations de ses sorties et à déduire ce qu'il fait
- ✓ **à trouver son logigramme en se basant sur un cahier de charge et en suivant une méthode de conception**
- simplifier ses équations
- trouver sa forme canonique

Q6 - Différencier entre DEC, MUX et DéMUX (sur 1.5 points). Complétez le tableau suivant**Un Démultiplexeur (DéMUX)**

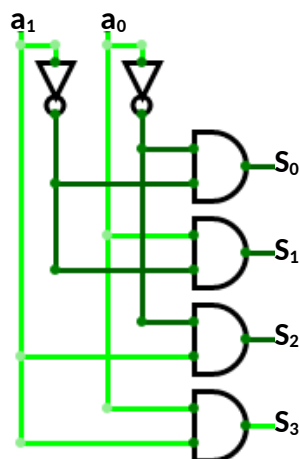
Possède n entrées de commande, une seule entrée de données et 2^n sorties. Si les entrées de commande sont positionnées de sorte à représenter un code i , alors seule la sortie s_i sera égale à l'entrée de donnée.

Un multiplexeur (MUX)

Possède n entrées de commande, 2^n entrées de données et une seule sortie. Si les entrées de commande sont positionnées de sorte à représenter un code i , alors la sortie du circuit sera égale à l'entrée de donnée e_i .

Un décodeur

Possède n entrées et 2^n sorties. Si les entrées sont positionnées de sorte à représenter un code i , alors seule la sortie s_i sera mise à 1.

Q7 – Décodeur (sur 1 point) : Donner le schéma **détaillé** d'un décodeur à 2 entrées ($a_1 a_0$) puis donnez les équations de ses sorties S_i (on supposera qu'on a pas d'entrée de validation)Schéma détaillé d'un décodeur à 2 entrées ($a_1 a_0$)

DEC 2->4

Équations de chaque sortie S_i

$$S_0 = m_0 = \bar{a}_1 \cdot \bar{a}_0$$

$$S_1 = m_1 = \bar{a}_1 \cdot a_0$$

$$S_2 = m_2 = a_1 \cdot \bar{a}_0$$

$$S_3 = m_3 = a_1 \cdot a_0$$

Indication : toutes les formules doivent être correctes pour avoir 0.5 point !

Q8 – DéMUX (sur 1 point) : Si vous avez un démultiplexeur ayant 4 entrées de commande ($c_3 c_2 c_1 c_0$), une entrée de donnée D . On suppose que ce circuit ne dispose pas d'entrée de validation.

- Combien de sorties possède ce DeMUX ? **16 sorties**
- Donnez l'équation de la sortie S_7 : **$S_7 = D \cdot m_7 = D \cdot \bar{c}_0 \cdot c_2 \cdot c_1 \cdot c_0$** ou **$S_1 = D \cdot m_7 = D \cdot \bar{c}_0 \cdot \bar{c}_2 \cdot \bar{c}_1 \cdot c_0$**

Q9 – MUX (sur 1 point) : Si vous avez un multiplexeur ayant 4 entrées de données ($e_3 e_2 e_1 e_0$). On suppose que ce circuit ne dispose pas d'entrée de validation.

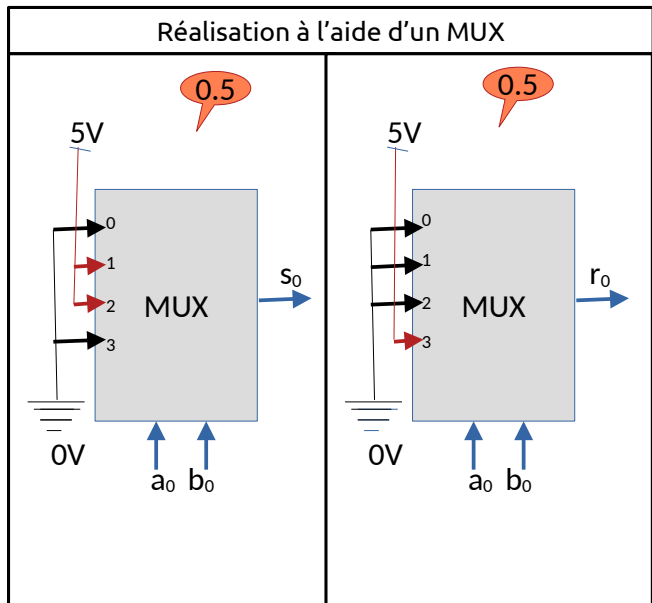
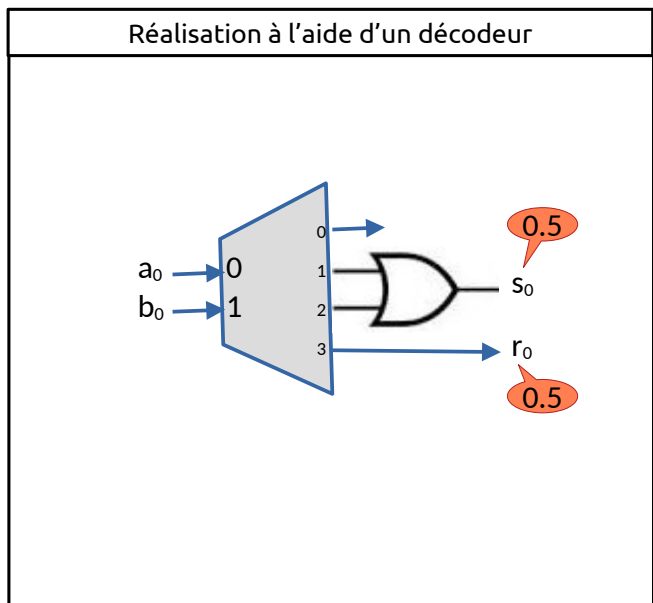
- Combien d'entrées de commande ce circuit doit-il avoir ? **2 entrées de commande**
- Donnez l'équation de sa sortie : $S = \sum_{i=0}^{2^4-1} m_i \cdot e_i = \sum_{i=0}^7 m_i \cdot e_i = \mathbf{m_3 \cdot e_3 + m_2 \cdot e_2 + m_1 \cdot e_1 + m_0 \cdot e_0}$
 m_i étant les mintermes composé des variable ($e_3 e_2 e_1 e_0$)

Q10 : Réalisation de fonctions à l'aide de multiplexeurs et de décodeurs sur 3 points : En vous servant d'un décodeur puis d'un multiplexeur, donnez le schéma de réalisation de la fonction demi-additionneur ayant pour entrées : a_0 et b_0 et comme sorties : s_0 (la somme) et r_0 (la retenue).

A – Donnez les équations de s_0 et r_0 sous forme canonique disjonctive:

$$s_0 = m_1 + m_2 = \bar{a}_0 \cdot b_0 + a_0 \cdot \bar{b}_0 \qquad r_0 = m_3 = a_0 b_0$$

B – Donnez le logigramme de s_0 et r_0 en utilisant d'abord un **décodeur** puis un **MUX** (un MUX possède une seule sortie)

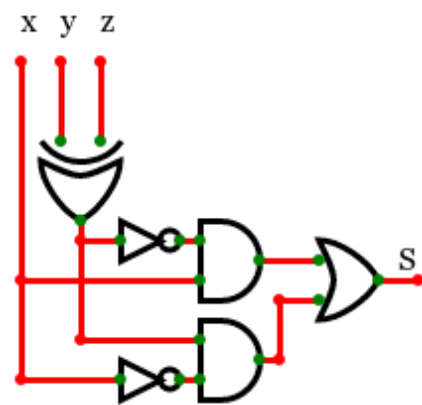


Q11 : Analyse de circuit (sur 1 point) : Trouvez l'équation de sortie ce circuit puis procédez à sa simplification (tous les opérateurs peuvent être utilisés).

$$S = (x \cdot (\bar{x} \oplus z)) + (\bar{x} \cdot (y \oplus z))$$

$$S = (x \oplus (y \oplus z))$$

$$S = x \oplus y \oplus z$$



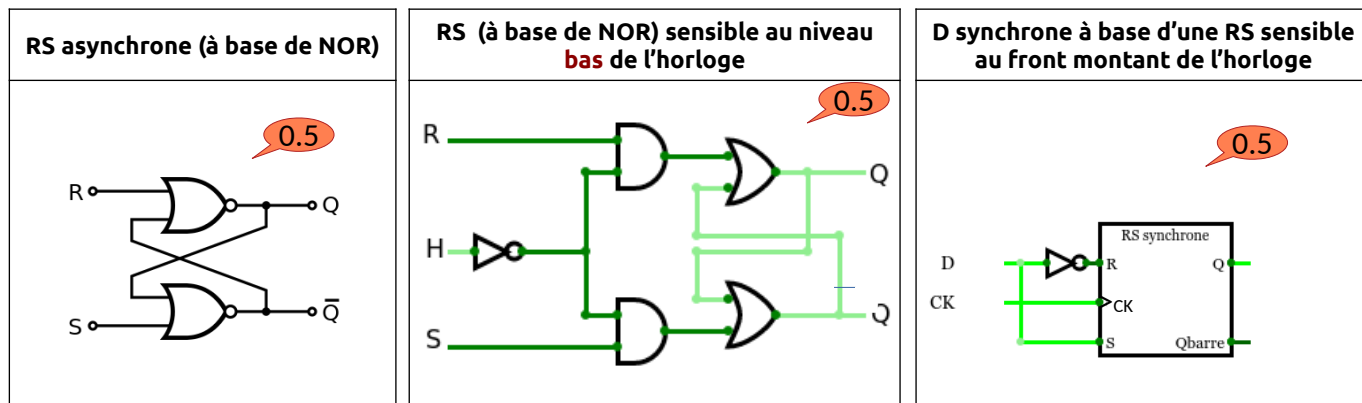
Chapitre 2 : Circuits logiques séquentiels (sur 7 points)

Q 12 - Bascule RS (sur 1 point) : Indiquez ce qui se passe lorsque :

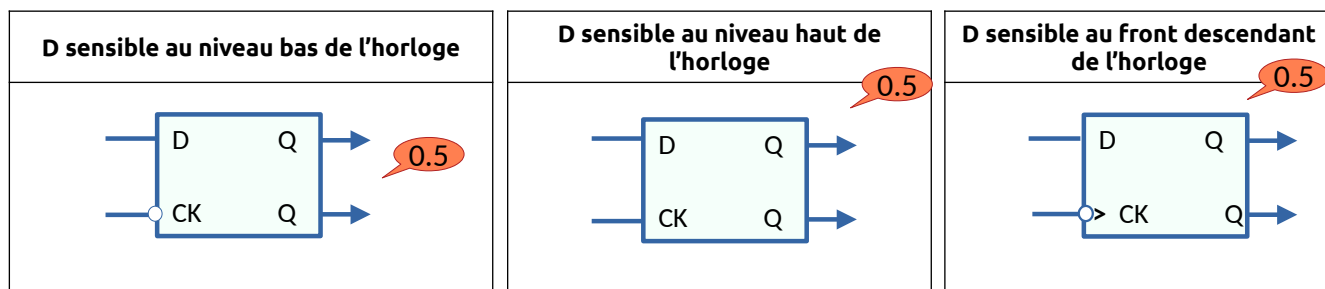
- R = S = 0 : **Mémorisation** de l'état de la bascule
- R = 1 et S = 0 : **Mise à zéro** de la bascule
- R = 0 et S = 1 : **Mise à « 1 »** de la bascule
- R = S = 1 : **État interdit**

Donnez 1 point si pas d'erreur
 Donnez 0.5 point si une erreur
 Donnez 0 point si 2 erreurs ou plus

Q 13 - Bascule RS (sur 1.5 points) : Donnez les schémas **détaillés** des bascules suivantes



Q14 - Synchronisation (sur 1.5 points) : Donnez les schémas généraux (non détaillés) des bascules suivantes



Q15 - Usage des bascules (sur 1 point) : Complétez les 2 phrases suivantes :

- La bascule D est généralement utilisée pour réaliser des : **mémoires** (registres sont considérés comme des mémoires) 0.5
- La bascule JK est généralement utilisée pour réaliser des : **compteurs** 0.5

Q16 - Bascules (sur 1 point):

- Les bascules sensibles au front d'horloge sont appelées : **Flip-Flop** (maître / esclave) 0.5
- Les bascules sensibles au niveau d'horloge sont appelées : **Verrous** (ou latch) 0.5

Q17 - Registre (sur 1 point) : En vous basant sur la bascule **D synchrone sensible au front descendant**, donnez le schéma d'un registre (3 bits) à décalage de *droite vers la gauche* avec une entrée série droite (**ESD**) et une sortie série gauche (**SSG**). Ce circuit permet de réaliser un décalage à chaque *front descendant* de l'horloge (**H**) :

