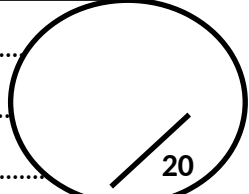


Université de Béjaia Faculté des sciences exactes Département de mathématique Niveau Licence 1	Examen de Structure Machine 2 Durée : 1h30 5 Nov 2020 de 11h30 à 13h00	Nom : Prénom : Groupe :	
---	---	---	---

Chapitre 1 : Circuits logiques combinatoires – CLC (sur 12.5 points)

Q1 : Processus de Conception des CLC (sur 2 points) : Complétez le tableau suivant :

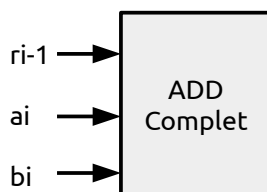
Étape 1	Spécification du problème
Étape 2	
Étape 3	
Étape 4	
Étape 5	
Étape 6	Délivrer le circuit logique final
Étape 7	Réaliser le montage électronique ou simuler sur ordinateur
Étape 8	Valider pour une production

Indication : chaque réponse vaut 0.5 points

Q2 : indiquer les 2 catégories de circuits logiques (sur 0.5 points)

.....

Q3 : Additionneur sur 0.5 point : En vous basant uniquement sur les additionneurs complets ci-dessous, donnez le schéma de montage en cascade d'un additionneur 3 bits. (*Attention, ici vous n'avez pas de demi-additionneur!*)



Q4 : Faire la différence entre CLC et CLS (sur 0.5 point)

Complétez la phrase suivante : Les circuits logiques séquentiels (CLS) se distinguent des circuits logiques combinatoires (CLC) par la présence d'éléments permettant de l'état des sorties et de s'en servir comme entrées en plus des entrées combinatoires.

Q5 : Analyse et synthèse de circuits logiques combinatoires (CLC) (sur 1 point) :

Analyser un circuit consiste à

- trouver les équations de ses sorties et à déduire ce qu'il fait
- à trouver son logigramme en se basant sur un cahier de charge et en suivant une méthode de conception
- simplifier ses équations
- trouver sa forme canonique

Faire la synthèse d'un circuit consiste à

- trouver les équations de ses sorties et à déduire ce qu'il fait
- à trouver son logigramme en se basant sur un cahier de charge et en suivant une méthode de conception
- simplifier ses équations
- trouver sa forme canonique

Q6 - Différencier entre DEC, MUX et DéMUX (sur 1.5 points). Complétez le tableau suivant

Un Possède n entrées de commande, une seule entrée de données et 2ⁿ sorties. Si les entrées de commande sont positionnées de sorte à représenter un code i , alors seule la sortie s_i sera égale à l'entrée de donnée.	Un Possède n entrées de commande, 2ⁿ entrées de données et une seule sortie. Si les entrées de commande sont positionnées de sorte à représenter un code i , alors la sortie du circuit sera égale à l'entrée de donnée e_i .	Un Possède n entrées et 2ⁿ sorties. Si les entrées sont positionnées de sorte à représenter un code i , alors seule la sortie s_i sera mise à 1.
---	---	--

Q7 – Décodeur (sur 1 point) : Donner le schéma **détaillé** d'un décodeur à 2 entrées (**a₁a₀**) puis donnez les équations de ses sorties **S_i** (on supposera qu'on a pas d'entrée de validation)

Schéma détaillé d'un décodeur à 2 entrées (a₁a₀)	Équations de chaque sortie S_i
<p><i>Indication : toutes les formules doivent être correctes pour avoir 0.5 point !</i></p>	

Q8 – DéMUX (sur 1 point) : Si vous avez un démultiplexeur ayant 4 entrées de commande (**c₃c₂c₁c₀**), une entrée de donnée **D**. On suppose que ce circuit ne dispose pas d'entrée de validation.

- Combien de sorties possède ce DeMUX ?
- Donnez l'équation de la sortie **S₇**

Q9 – MUX (sur 1 point) : Si vous avez un multiplexeur ayant 4 entrées de données (**e₃e₂e₁e₀**). On suppose que ce circuit ne dispose pas d'entrée de validation.

- Combien d'entrées de commande ce circuit doit-il avoir ?
- Donnez l'équation de sa sortie : **S** =.....

Nom : Prénom..... Groupe :

Q10 : Réalisation de fonctions à l'aide de multiplexeurs et de décodeurs sur 2 points : En vous servant d'un décodeur puis d'un multiplexeur, donnez le schéma de réalisation de la fonction demi-additionneur ayant pour entrées : a_0 et b_0 et comme sorties : s_0 (la somme) et r_0 (la retenue).

A – Donnez les équations de s_0 et r_0 sous forme canonique disjonctive:

$S_0 =$ $r_0 =$

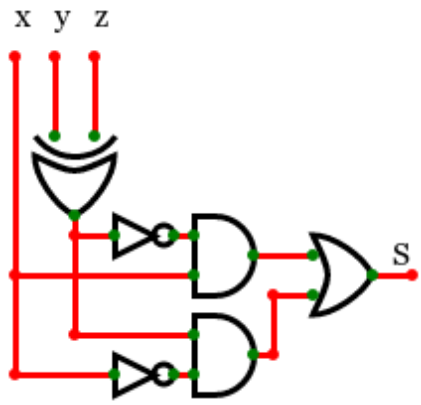
B – Donnez le logigramme de s_0 et r_0 en utilisant d'abord un **décodeur** puis un **MUX** (un MUX possède une seule sortie)

Réalisation à l'aide d'un décodeur

Réalisation à l'aide d'un MUX

Q11 : Analyse de circuit (sur 1 point) : Trouvez l'équation de sortie ce circuit puis procédez à sa simplification (tous les opérateurs peuvent être utilisés).

.....



Q12 : MUX (sur 0.5 point) : Donnez l'expression (détaillée) de la sortie S d'un MUX ayant deux entrées de données (e_1, e_0) et une entrée de commande c :

Chapitre 2 : Circuits logiques séquentiels (sur 7.5 points)

Q 12 - Bascule RS (sur 1 point) : Indiquez ce qui se passe lorsque :

- ☛ R = S = 0 :
- ☛ R=1 et S=0 :
- ☛ R=0 et S=1 :
- ☛ R=S=1 :



Q 13 - Bascule RS (sur 1.5 points) : Donnez les schémas **détaillés** des bascules suivantes

RS asynchrone (à base de NOR)	RS (à base de NOR) sensible au niveau bas de l'horloge	D synchrone à base d'une RS sensible au front montant de l'horloge

Q14 - Synchronisation (sur 2 points) : Donnez les schémas généraux (non détaillés) des bascules suivantes

D asynchrone	D sensible au niveau bas de l'horloge	D sensible au niveau haut de l'horloge	D sensible au front descendant de l'horloge

Q15 - Usage des bascules (sur 1 point) : Complétez les 2 phrases suivantes :

- La bascule D est généralement utilisée pour réaliser des :
- La bascule JK est généralement utilisée pour réaliser des :

Q16 - Bascules (sur 1 point) :

- Les bascules sensibles au front d'horloge sont appelées :
- Les bascules sensibles au niveau d'horloge sont appelées :

Q17 - Registre (sur 1 point) : En vous basant sur la bascule **D synchrone sensible au front descendant**, donnez le schéma d'un registre (3 bits) à décalage de *droite vers la gauche* avec une entrée série droite (**ESD**) et une sortie série gauche (**SSG**). Ce circuit permet de réaliser un décalage à chaque *front descendant* de l'horloge (**H**) :

Bon courage