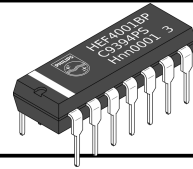


Structure Machine 2

Série de TD1 - Avril/mai 2021

<https://elearning.univ-bejaia.dz/course/view.php?id=6094>

Circuits logiques combinatoire



Séance de TD n°1



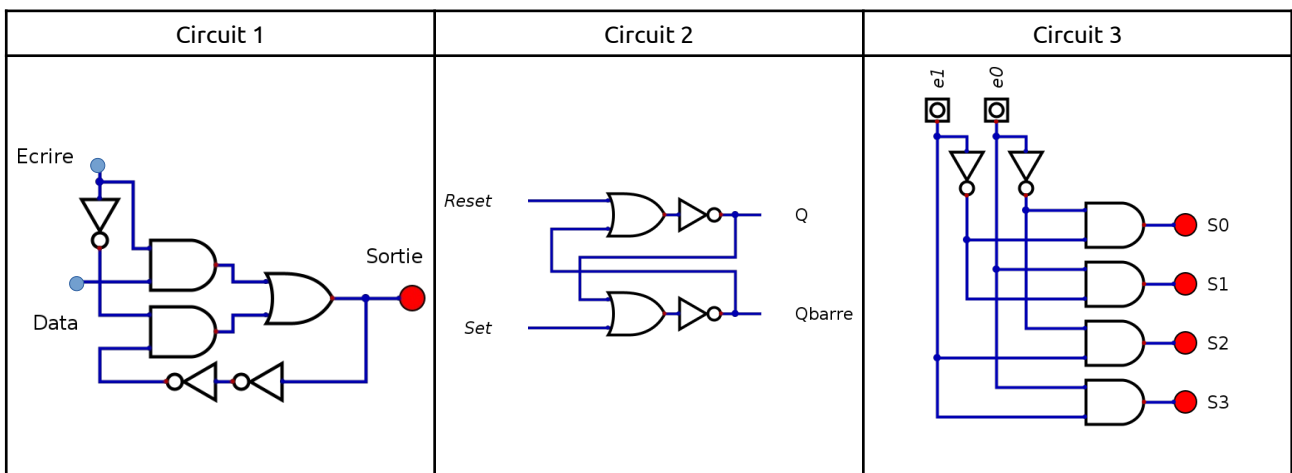
Objectif : Comprendre les fondements de la conception de circuits logiques combinatoires (CLC) et identifier les 2 grandes catégories de circuits logiques tout en expliquant le principe des circuits logiques combinatoires. Les étudiants, devraient aussi être capables d'énumérer les 3 classes de CLC et de citer quelques exemples de circuits dans chacune de ces classes. Enfin, il devraient être capables de faire l'analyse et la synthèse d'un CLC simple.

Q1 : Indiquez les étapes de conception des circuits logiques combinatoires (CLC)

Q2 : Indiquez les 2 grandes catégories de circuits logiques existants

Q3 : Expliquer la différence entre « analyse » et « synthèse » d'un circuit logique

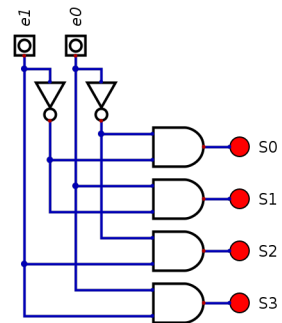
Q4 : Indiquez si les circuits ci-dessous sont des CLC ? Justifiez votre réponse :



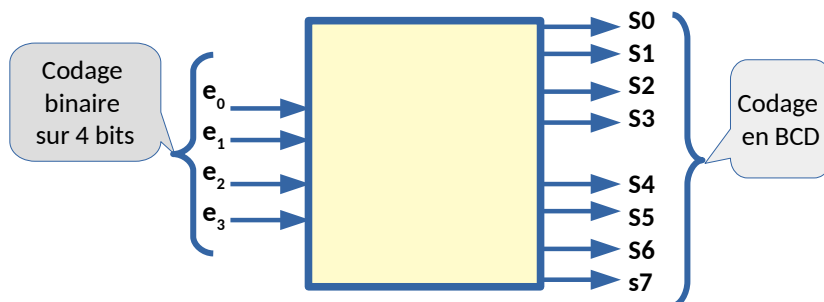
Q5 - Citez 5 exemples de circuits logiques combinatoires

Q6 - Analyser le circuits suivant :

Je rappel qu'il s'agit d'identifier les équations des sorties de votre circuit et d'essayer ensuite de simplifier !



Q7 - Faire la synthèse d'un circuit de transcodage permettant de passer du codage binaire sur 4 bits vers du BCD sur 8bits. Je vous renvoi au cours du premier semestre pour vous revoir le codage BCD. Je rappel juste qu'il s'agit d'un codage représentant chaque chiffre décimal sur 4 bits. Je vous rappel aussi qu'il faut appliquer la méthode de conception de CLC (cerner le problème en identifiant les variables et les fonctions, établir la TV, extraire la FCD, simplifier puis dessiner le logigramme). A vous de jouer !



Indication : Remarquez que la plus grande valeur que vous avez en entrée est :

$$(15)_{10} = (1111)_2 = (0001\ 0101)_{BCD}$$

Cela veut dire que les sorties S5, S6 et S7 seront toujours à zéro.

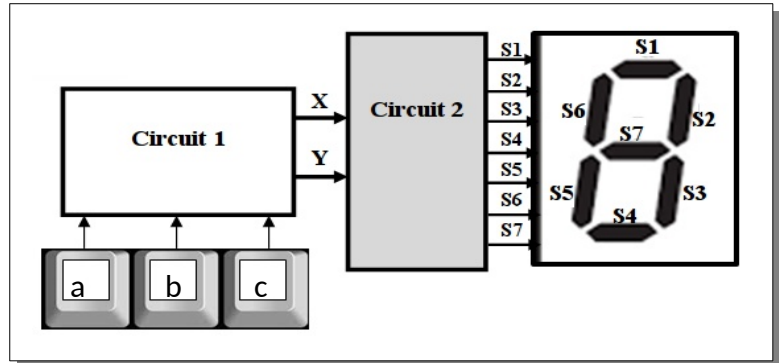
Séance n°2



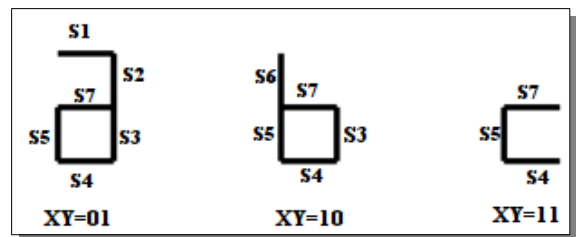
Objectif : A l'issue de cette séance de TD, les étudiants devraient être capables de faire la synthèse de quelques circuits logiques combinatoires en se basant sur une spécification d'un problème. De plus ils doivent être capables d'effectuer un montage en cascades de circuits logiques combinatoires (détecteur d'erreur).

Q8 : On veut réaliser un dispositif composé d'un mini-clavier à 3 touches « a », « b » et « c » et d'un afficheur 7 segments (S1 à S7). On voudrait que lorsqu'on appui sur une touche, l'afficheur affiche la lettre correspondant à la touche tapée. Un segment i de l'afficheur est une diode électroluminescente qui s'allume lorsque $S_i = 1$. Voir figure ci-contre.

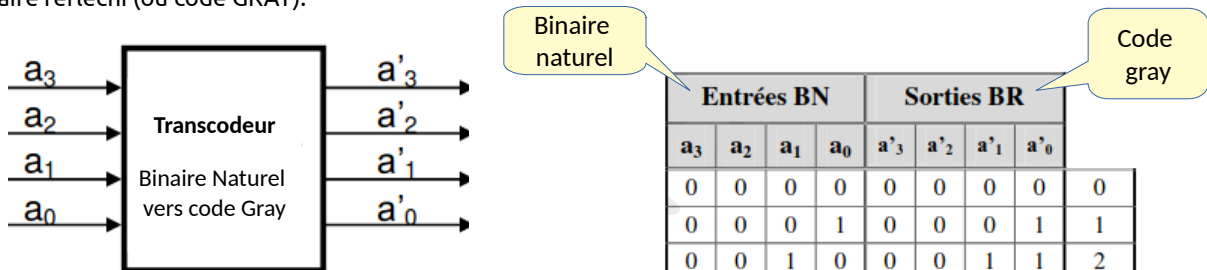
On vous demande de faire la synthèse des 2 circuits 1 et 2



Indication : Les lettres de notre mini-clavier sont affichées comme indiqué sur la figure ci-contre.



Q9 : Faire la synthèse d'un circuits de transcodage permettant de passer du binaire naturel sur 4 bits vers un codage en binaire réfléchi (ou code GRAY).



Je vous rappelle le passage du codage naturel vers le codage gray (sur 4 bits) :

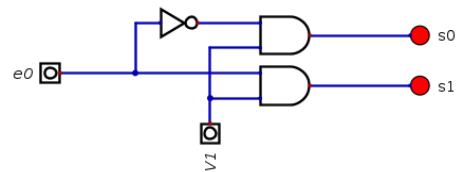
Entrées BN				Sorties BR			
a_3	a_2	a_1	a_0	a'_3	a'_2	a'_1	a'_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0



Objectifs de la séances 3 : A l'issue de cette séances de TD, les étudiants devraient être capables de faire la synthèse de quelques circuits logiques combinatoires et d'effectuer des montages en cascades (comparateur, décodeur). Enfin, ils doivent aussi être capable de générer des fonction quelconques en utilisant des décodeur et des démultiplexeurs.

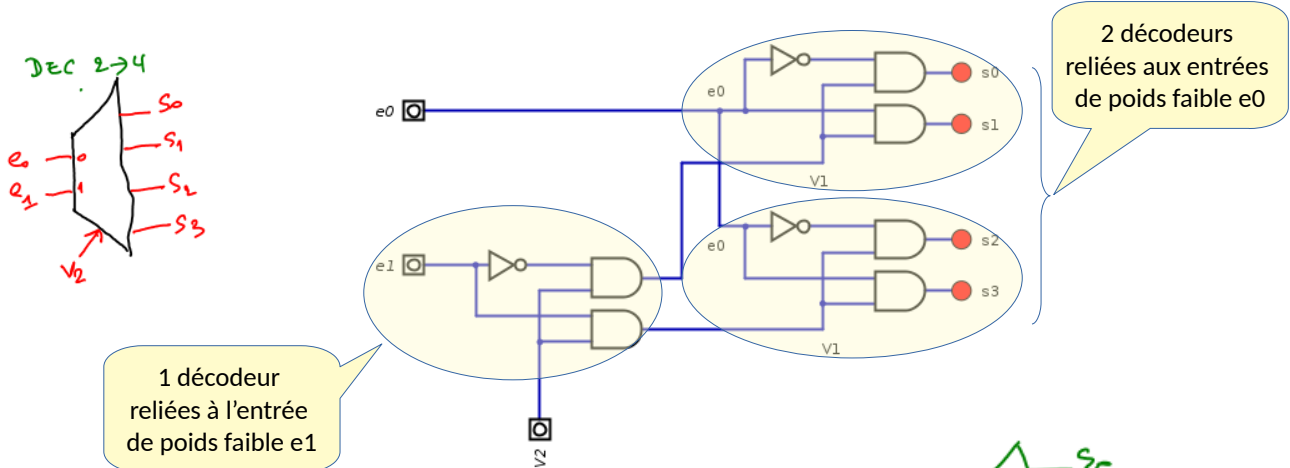
Séance n°3

Q10: Dans le domaine de la conception des circuits logiques qu'ils soient combinatoires ou séquentiels, il faut toujours, essayer de découvrir s'il existe une possibilité de construction en cascade ou par récurrence de circuits plus complexes (ayant un plus grand nombre d'entrées et de sorties) à partir de circuits plus simples. Dans le cours, nous avons exploité cette propriété pour concevoir le circuit d'addition. D'autres circuits comme le comparateur, le générateur du bit de parité (voir TD de l'an dernier 2018/2019) et bien d'autres encore sont conçus sur la base de propriété de récurrences. Je vous propose d'essayer de découvrir comment exploiter cette propriété pour construire des décodeurs à $n+1$ entrées à partir de décodeurs à n entrées. Je vais vous aider un peu en procédant par récurrence en vous montrant la propriété pour $n=1$ et $n=2$. A vous de généraliser :

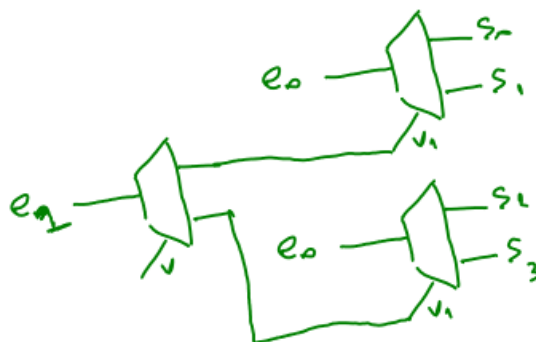


Pour $n = 1$, nous avons un décodeur à une seule entrée (et une entrée de validation) et 2^1 sorties.

Pour $n=2$, nous avons un décodeur à 2 entrées et 4 sortie comme suit : En me servant d'un décodeur à une seule entrée, je peux construire le décodeur à 2 entrées : je vais me servir de 2 décodeurs qui auront comme entrée e_0 et un décodeur qui aura comme entrée l'entrée de poids fort e_1 , les sorties de ce décodeur seront les entrées des 2 premiers décodeurs comme indiqué sur la figure suivante :



ce qui donne schématiquement :



On vous demande de donner le schéma logique d'un décodeur à $n+1$ entrée en vous servant d'un décodeur 1 vers 2 et de 2 décodeurs ayant n entrées chacun !

Q11 : Donnez le schéma logique d'un additionneur 2 bits qui fait l'addition $A+B$ avec $A=a_1a_0$ et $B=b_1b_0$ en vous servant d'un décodeur.

Q12 : Reprenez la question précédente mais en vous servant de 2 multiplexeurs.