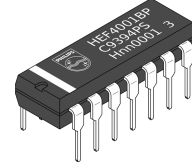


Structure Machine 2

Série de TD2 (2019-2020)

<https://elearning.univ-bejaia.dz/course/view.php?id=11426>

Circuits logiques Séquentiels



Objectif : Comprendre les fondements des circuits logiques séquentiels et expliquer le fonctionnement de la bascule RS, D, JK, registres et compteurs.

Séance 1

Q1 : Citez quelques exemples de circuits logiques combinatoires et de circuits logiques séquentiels.

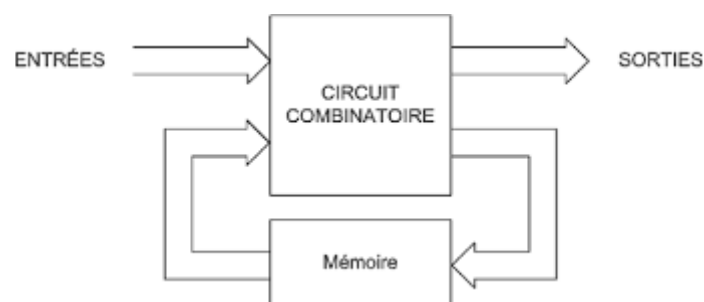
Réponse :

- Nous avons vu dans le cours plusieurs circuits logiques combinatoires : Additionneur, comparateur, multiplexeur, décodeur, démultiplexeur, afficheur 7 segments, générateur de parité etc.
- Nous avons aussi cité plusieurs circuits logiques séquentiels : bascules, registres, compteurs, mémoires.

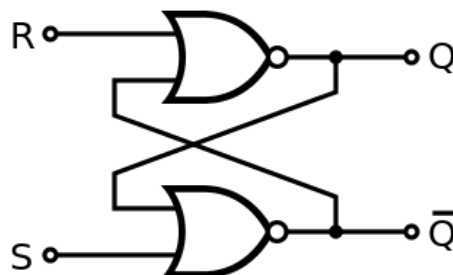
Q2 : Les circuits logiques séquentiels remplissent une fonction que les circuits logiques combinatoires n'assurent pas, laquelle ?

Réponse : Effectivement, les circuits logiques séquentiels remplissent la fonction de mémorisation que les circuits logiques combinatoires ne peuvent pas remplir.

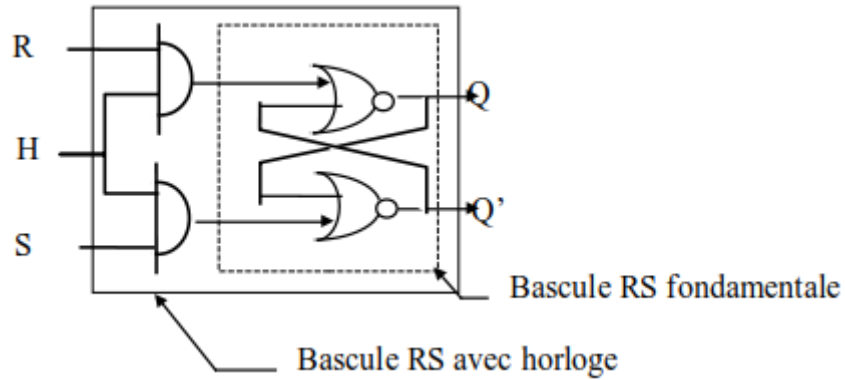
Q3 : Donnez le schéma général des circuits logiques séquentiels



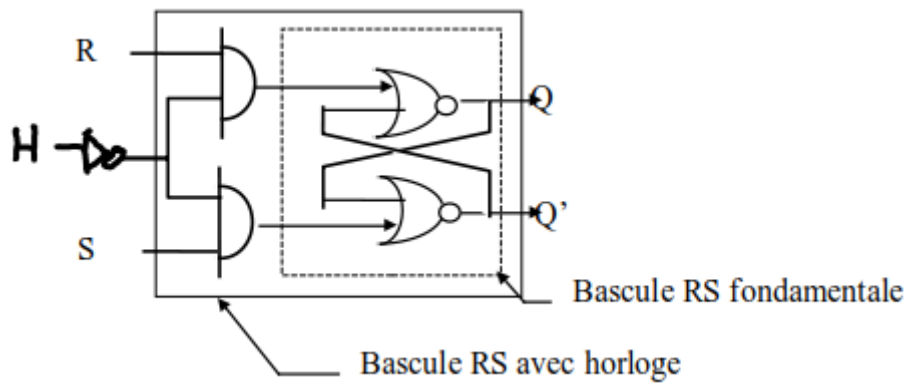
Q4 : Donnez le schéma détaillé d'une bascule RS asynchrone



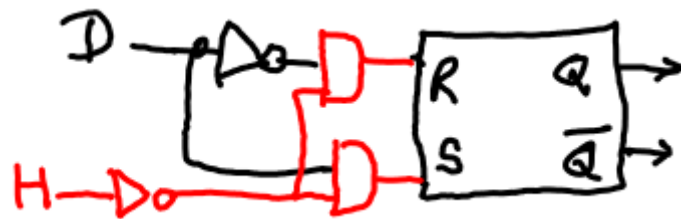
Q5 : Donnez le schéma détaillé d'une bascule RS synchrone sensible au niveau d'horloge haut



Q6 : Donnez le schéma détaillé d'une bascule RS synchrone sensible au niveau d'horloge bas



Q7 : Donnez le schéma détaillé d'une bascule D synchrone sensible au niveau bas de l'horloge



Q8 : Complétez les tables de vérité suivantes :

Bascule RS asynchrone		
R	S	Q_n
0	0	Q_{n-1}
0	1	1
1	0	0
1	1	interdit

Bascule D sensible au front montant de l'horloge H		
H	D	Q_n
↑	0	0
↑	1	1
0	x	Q_{n-1}
1	x	Q_{n-1}

Bascule JK asynchrone		
J	K	Q_n
0	0	Q_{n-1}
0	1	0
1	0	1
1	1	$\overline{Q_{n-1}}$

Bascule RS sensible au niveau d'horloge <i>Bas</i>				Commentaire	Bascule RS sensible au niveau d'horloge Haut				Commentaire
H	R	S	Q_n		H	R	S	Q_n	
0	0	0	Q_{n-1}	Mémorisation	0	X	X	Q_{n-1}	Mémorisation
	0	1	1	Mise à 1	1	0	0	Q_{n-1}	Mémorisation
	1	0	0	Mise à zéro		0	1	1	Mise à 1
	1	1	État interdit			1	0	0	Mise à zéro
1	X	X	Q_{n-1}	1		1	interdit		

Indication : Q_n étant l'état de la sortie Q à l'instant n et Q_{n-1} étant l'état de la sortie Q à l'instant $n-1$ (état précédent).

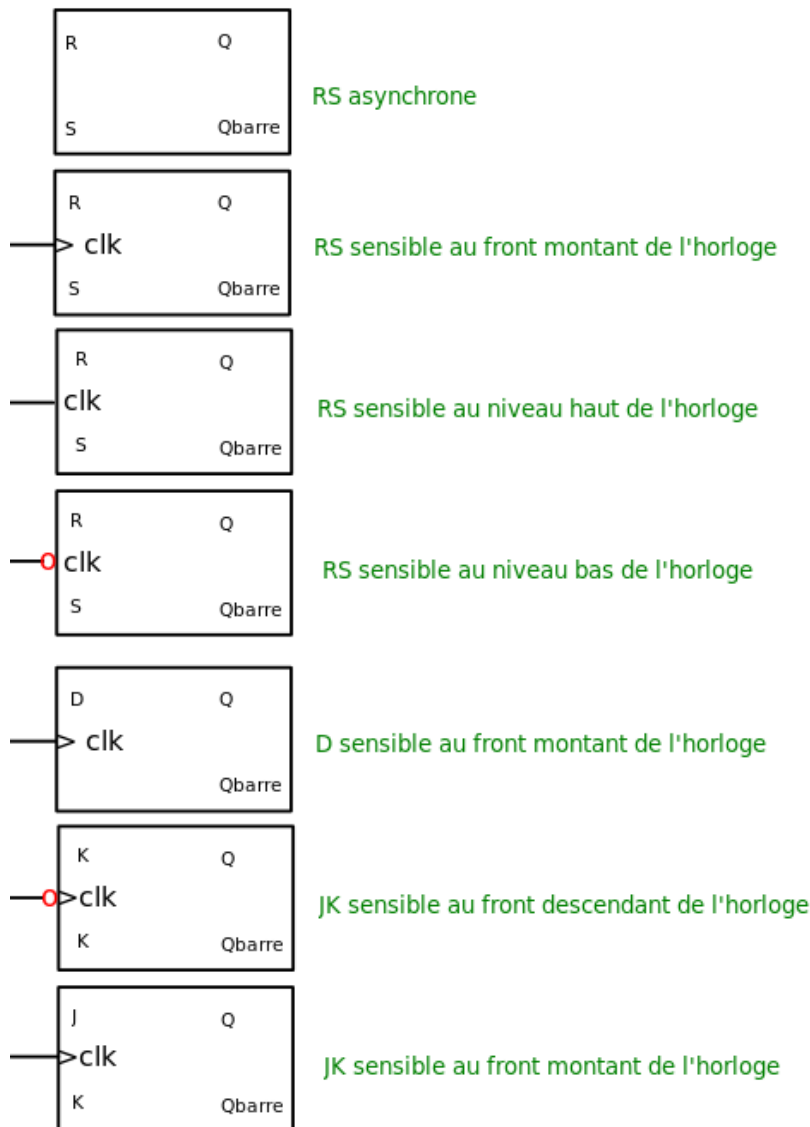
Q9 : Citez les 4 types de synchronisation des bascules (selon le niveau ou le front d'horloge)

Réponse : Il faut savoir (dans le cadre des circuits logiques séquentiels) que la synchronisation est l'opération consistant à faire coïncider les changements d'état des bascules par rapport à un signal de contrôle généralement un signal périodique dit horloge. Relativement à ce signal, nous avons 4 situations ou mode de synchronisation :

- **synchronisation par rapport aux niveau d'horloge**
 - **niveau haut**
 - **niveau bas**
- **synchronisation par changement d'état de l'horloge**
 - **front montant**
 - **front descendant**

Q10 : Donnez les schémas (non détaillé) des bascules suivantes

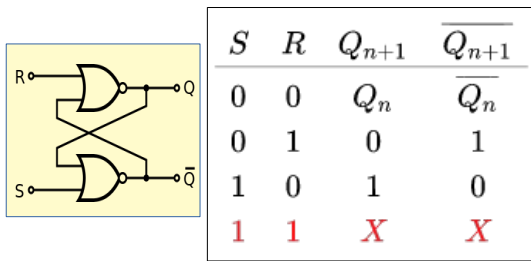
Exemple : le schéma ci-dessous représente une bascule JK flip-flop sensible au front descendant de l'horloge



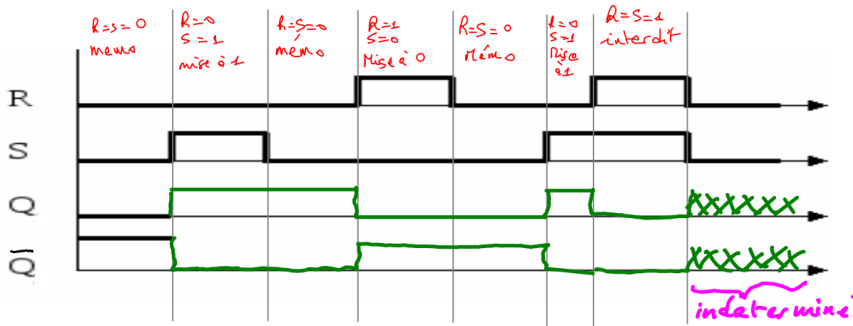
Q11 : Une bascule flip-flop est sensible au : front d'horloge niveau d'horloge

Q12 : Une bascule latch (ou verrou) est sensible au : front d'horloge niveau d'horloge

Q13 : Soit la bascule RS suivante, complétez sa table de vérité et le chronogramme ci-dessous :



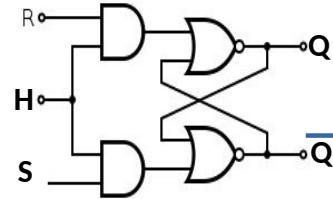
Complétez le chronogramme ci-dessous



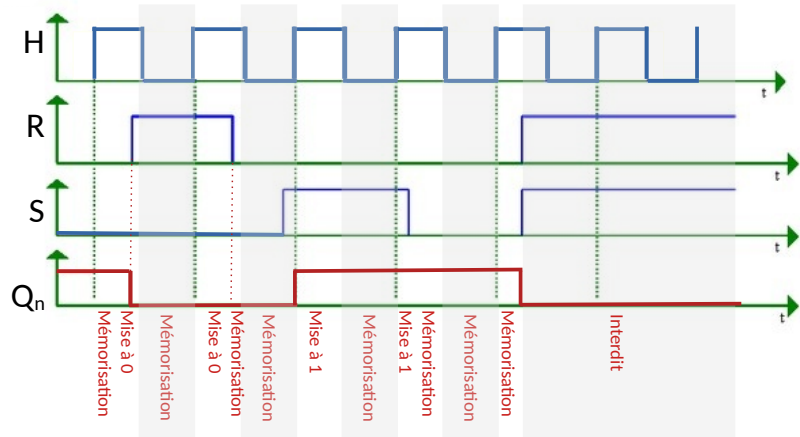
Cette bascule est elle synchrone ou asynchrone ?

Cette bascule n'est pas synchrone. Son état dépend directement des entrées R et S.

Q14 : Soit la bascule RSH suivante, complétez sa table de vérité et le chronogramme ci-dessous :



H	S	R	Q_{n+1}	$\overline{Q_{n+1}}$
0	X	X	Q_n	$\overline{Q_n}$
X	0	0	Q_n	$\overline{Q_n}$
1	0	1	0	1
1	1	0	1	0
1	1	1	X	X



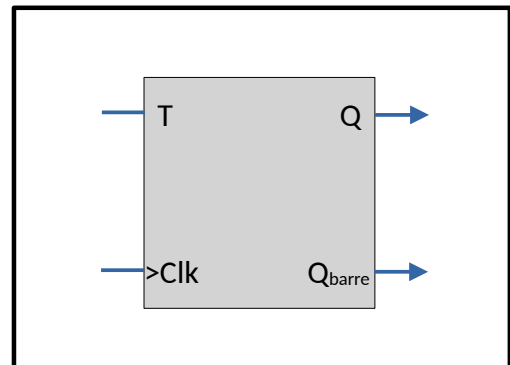
Indication : « H » est le signal d'horloge. « X » veut dire état indéterminé

Cette bascule est synchrone asynchrone

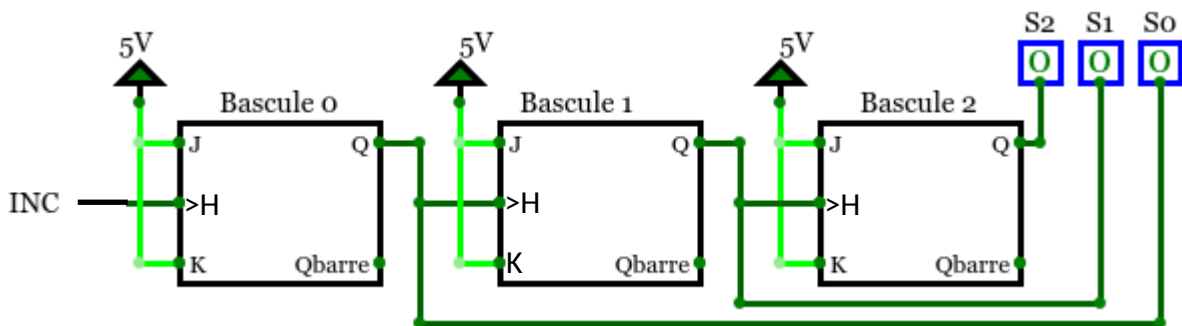
Séance 3

Q15 : Bascule T : Donnez le schéma d'une bascules « T » sensible au front montant de l'horloge
Complétez sa table de vérité :

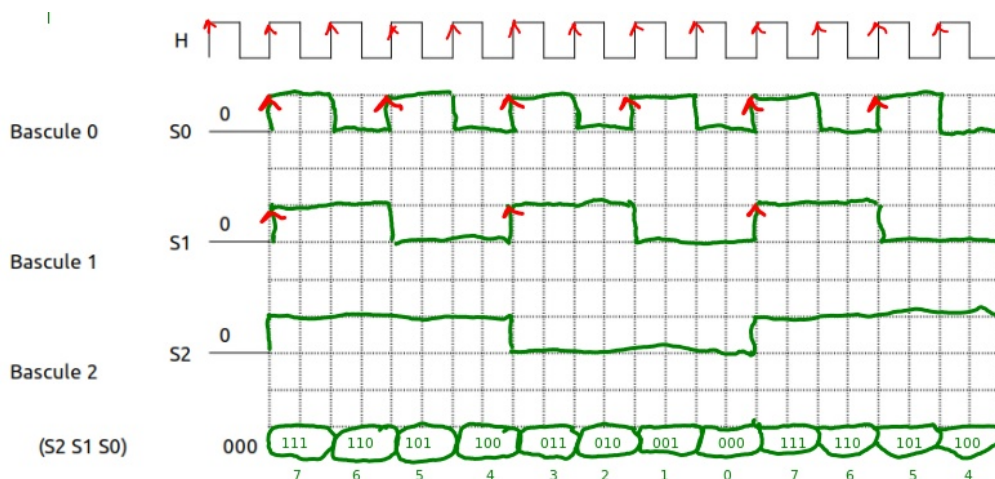
T	H (horloge)	Q_n	$\overline{Q_n}$	Commentaire
1	front montant \uparrow	$\overline{Q_{n-1}}$	Q_{n-1}	Basculement
1	Niveau 0 Niveau 1 front descendant \downarrow	Q_{n-1}	$\overline{Q_{n-1}}$	Mémorisation
0	Peut import H	Q_{n-1}	$\overline{Q_{n-1}}$	Mémorisation



Q16 – Soit le circuits suivant :



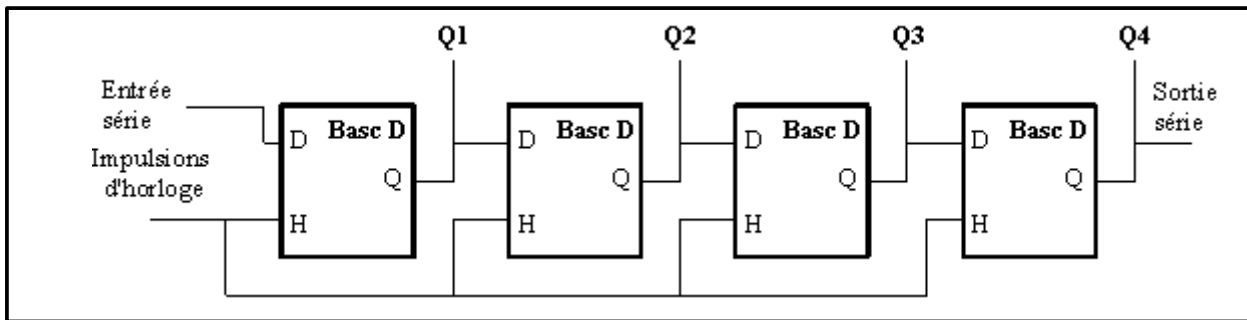
Vous voyez que nous avons utilisé 3 bascules JK sensibles au front montant de l'horloge. Ce sont donc des bascules flip-flop. Vous voyez aussi que toutes les entrées J et K de ces bascules sont positionnées à un « 1 » logiques (5v). Nous demandons de compléter le chronogramme suivante et de dire ce que fait ce circuit :



En supposant que les sorties (S2 S1 S0) représente un nombre sur 3 bits. S0 étant le bit de poids faible, déduire ce que fait le circuits.

Réponse : Ce circuit est un décompteur module 7 (il décompte de 7 à 0).

Q17 – Quelle est la fonction réalisée par le circuit suivant ?



Indication : Dans le circuit ci-dessus, nous avons omis la sortie Qbarre.

Réponse : Il s'agit d'un registre à décalage de gauche vers la droite.

Q18 – Donnez le schéma d'un registre à décalage de gauche à droite en utilisant des bascules JK synchrones sensibles au front montant.

