



**EMD1-LAT 314**  
**Electronique numérique**

durée : 2 heures

**Exercice 1:** (6 points)

1. Donner les plages  $P_1$  et  $P_2$  de représentation des nombres signés codés en complément à 2 sur :

- a) 8 bits ( $-2^7 \dots \leq P_1 \leq +2^7 \dots$ ) 0,5      b) 9 bits ( $-2^8 \dots \leq P_2 \leq +2^8 \dots$ ) 0,5

2. Soient les nombres :  $A = (+115)_{10}$  et  $B = (-75)_{10}$

2.1 Donner la représentation en « complément vrai » des nombres A et B.

- a) Codés sur 8 bits 0,5      b) Codés sur 9 bits 0,5

2.2 Faites les opérations suivantes:

$S = A + B$ ,  $D_1 = A - B$  et  $D_2 = B - A$

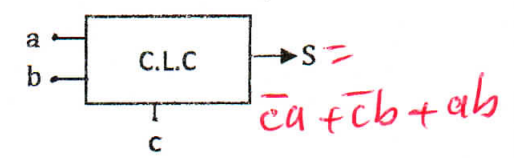
- a) dans la représentation en complément à 2 sur 8 bits; 0,5 + 0,5 + 0,5  
b) dans la représentation en complément à 2 sur 9 bits. 0,5 + 0,5 + 0,5

0,5 c) Pour chacune des opérations effectuées, indiquer s'il y a dépassement de capacité (Overflow) et en déduire si le résultat de chacune des opérations effectuées est juste ou faux.

**Exercice 2:** (4 points)

On désire réaliser un circuit logique combinatoire (C.L.C) qui réalise la somme et le produit logiques suivant l'état d'une entrée de sélection c. Le circuit fonctionne comme suit :

- Si  $C=0$ , le circuit réalise la somme logique  $S=a+b$  ;
- Si  $C=1$ , le circuit réalise le produit logique  $S=a.b$



1. Remplir le tableau de Karnaugh de la fonction de sortie S ;
2. En déduire l'équation simplifiée de S.
3. Dresser le logigramme de ce circuit en utilisant que des portes logiques NAND à 2 entrées.
4. Dresser le logigramme de ce circuit en utilisant que des portes logiques NOR à 2 entrées.

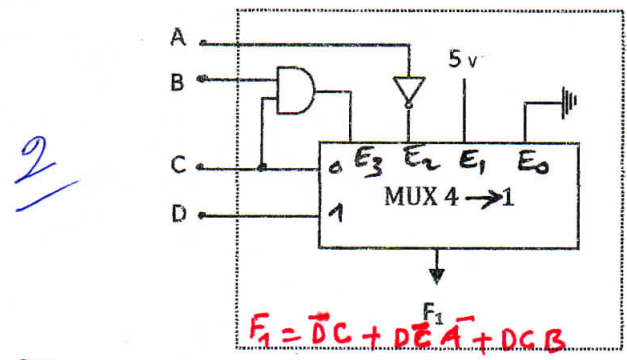
**Exercice 3:** (6 points)

Réaliser la fonction logique  $F = \bar{d}a + \bar{b}c + \bar{c}ba$  en utilisant :

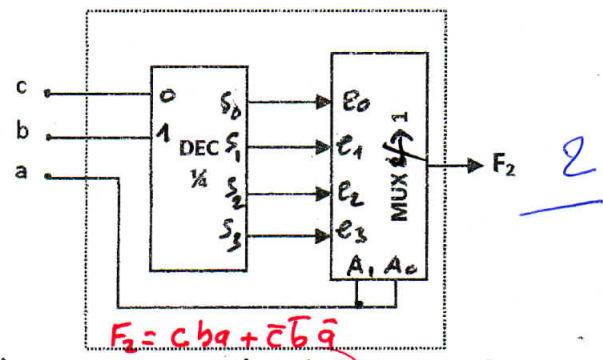
- 1,5 a) Un multiplexeur 16 vers 1.
- 1,5 b) Un multiplexeur 8 vers 1 et éventuellement des portes logiques.
- 1,5 c) Un multiplexeur 4 vers 1 et éventuellement des portes logiques.
- 1,5 d) Un démultiplexeur 1 vers 8 et des portes logiques.

**Exercice 4:** (4 points)

1. Trouver les expressions des fonctions  $F_1$  et  $F_2$  des sorties des circuits suivants :



2  
• MUX 4 → 1 : Multiplexeur 4 vers 1  
• MUX 8 → 1 : Multiplexeur 8 vers 1  
• DEC 1/4 : Décodeur 1 parmi 4



2  
• 0 → bit LSB  
• 1 → bit MSB