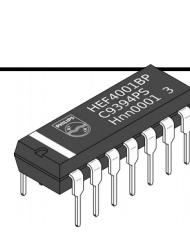


# Structure Machine 2

## Série de TD2

<https://elearning.univ-bejaia.dz/course/view.php?id=5349>

### Circuits logiques Séquentiels

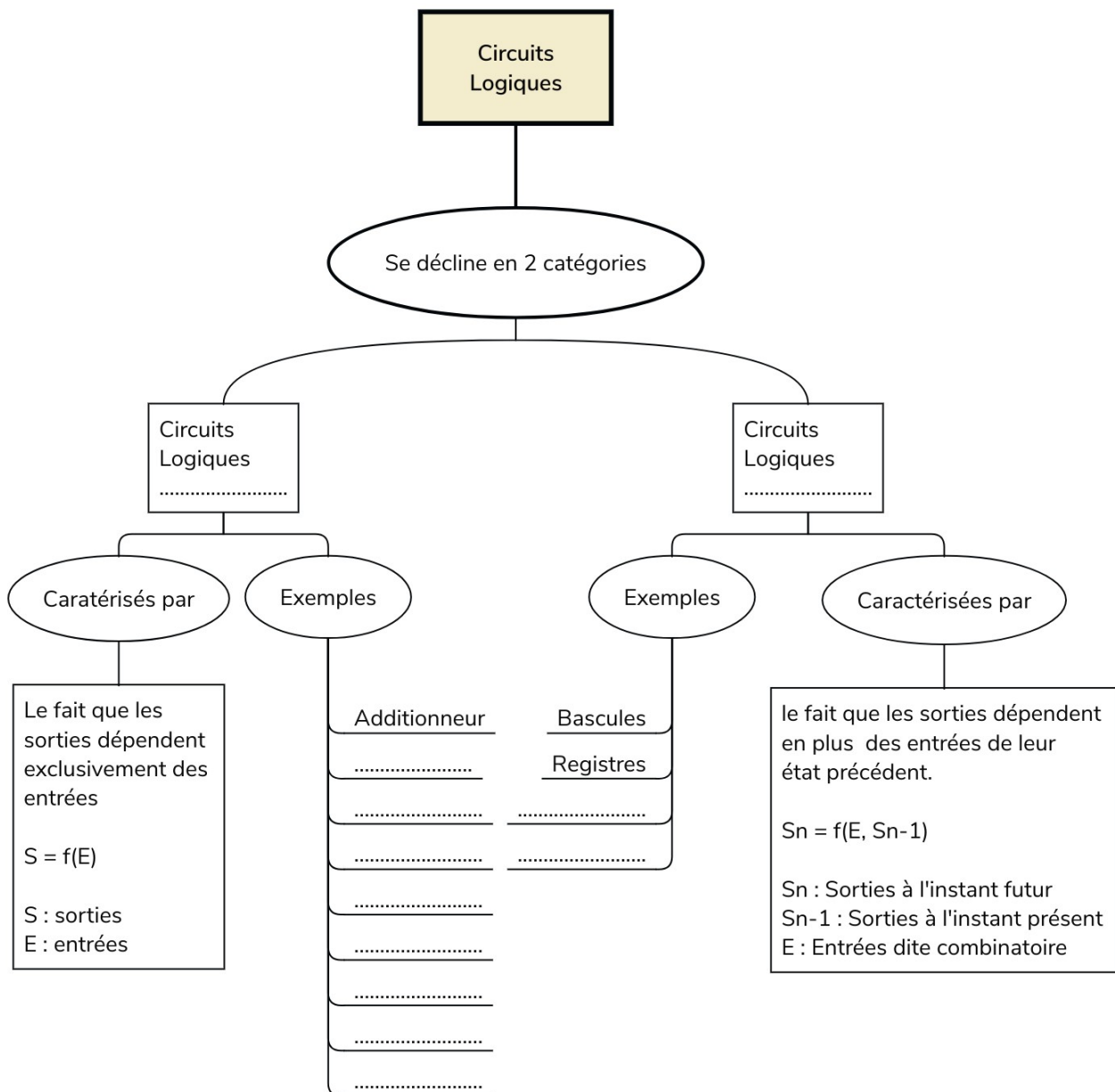


#### Séance de TD n°1

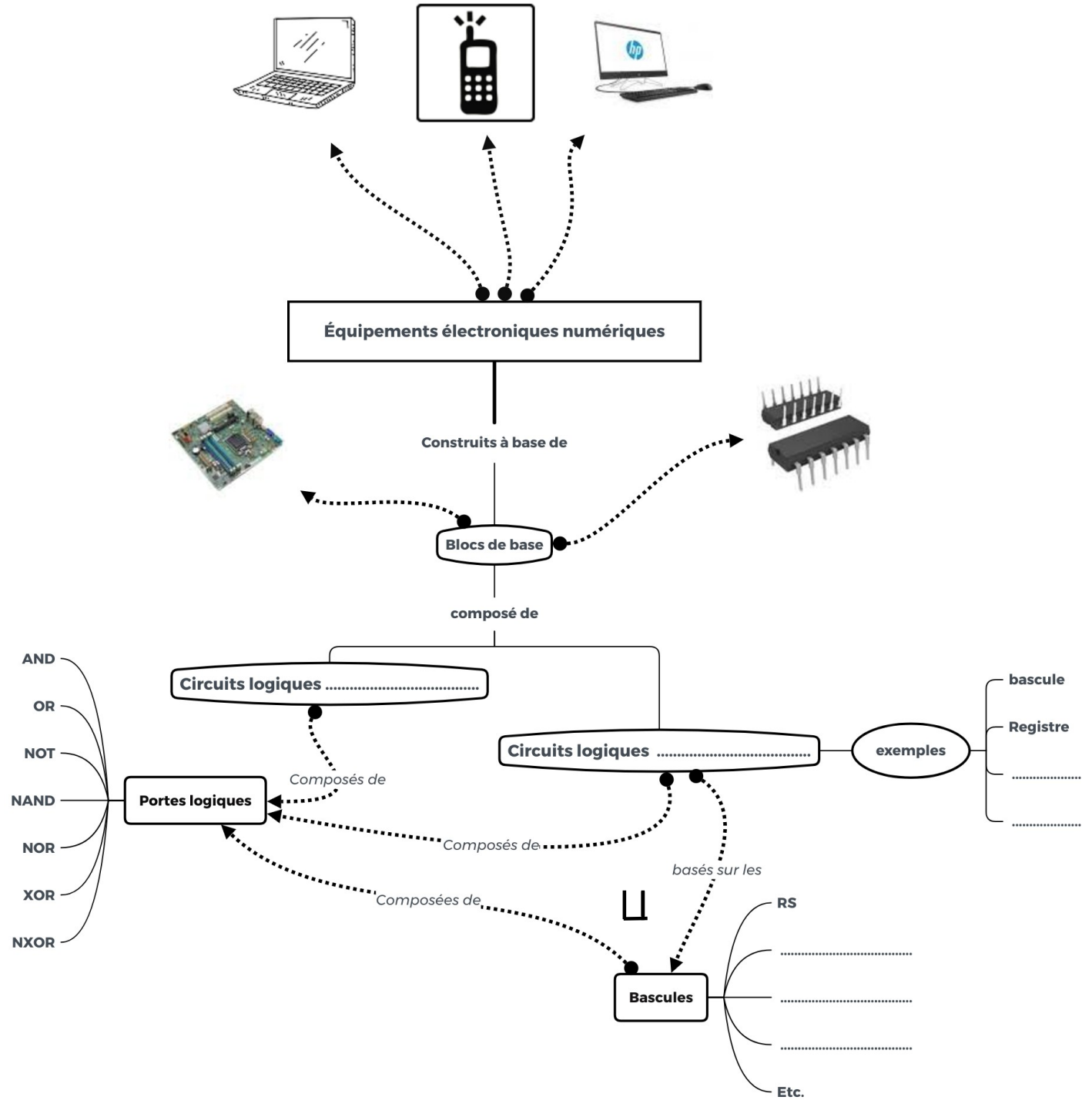


**Objectif :** Comprendre les fondements des circuits logiques de façon générale et celui des circuits logiques séquentiels en particulier. Expliquer le fonctionnement de la bascule RS.

**Q1 :** Complétez le schéma suivant :



Q2 : Complétez le schéma suivant :



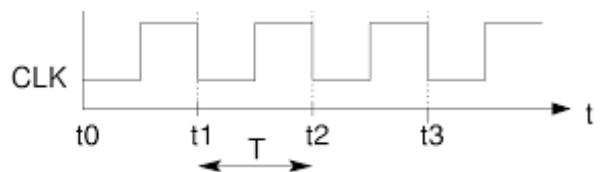
Q3 : On distingue 2 types de circuits logiques séquentiels :  Asynchrones  synchrones

Q4 : Dans un circuits logiques asynchrone, on se sert d'un signal d'horloge pour faire coïncider les moments d'écriture des informations dans les bascules :  Vrai  Faux

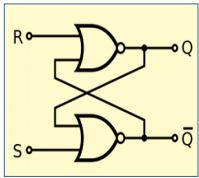
Q5 : Dans un circuits logiques synchrone, on se sert d'un signal d'horloge pour synchroniser les moments de changement d'état des bascules :  Vrai  Faux

Q6 : Dans le schéma suivant

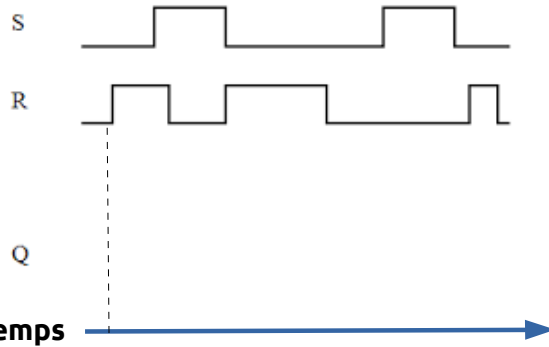
1. Que représente CLK et T ?
2. Quelle sont les grandeurs pour de mesurer CLK ?
3. Surlignez sur le schéma une période d'horloge ?
4. Que veut dire la valeur 3 GHZ ?



**Q7 :** Soit la bascule RS suivante, complétez sa table de vérité et le logigramme ci-dessous :

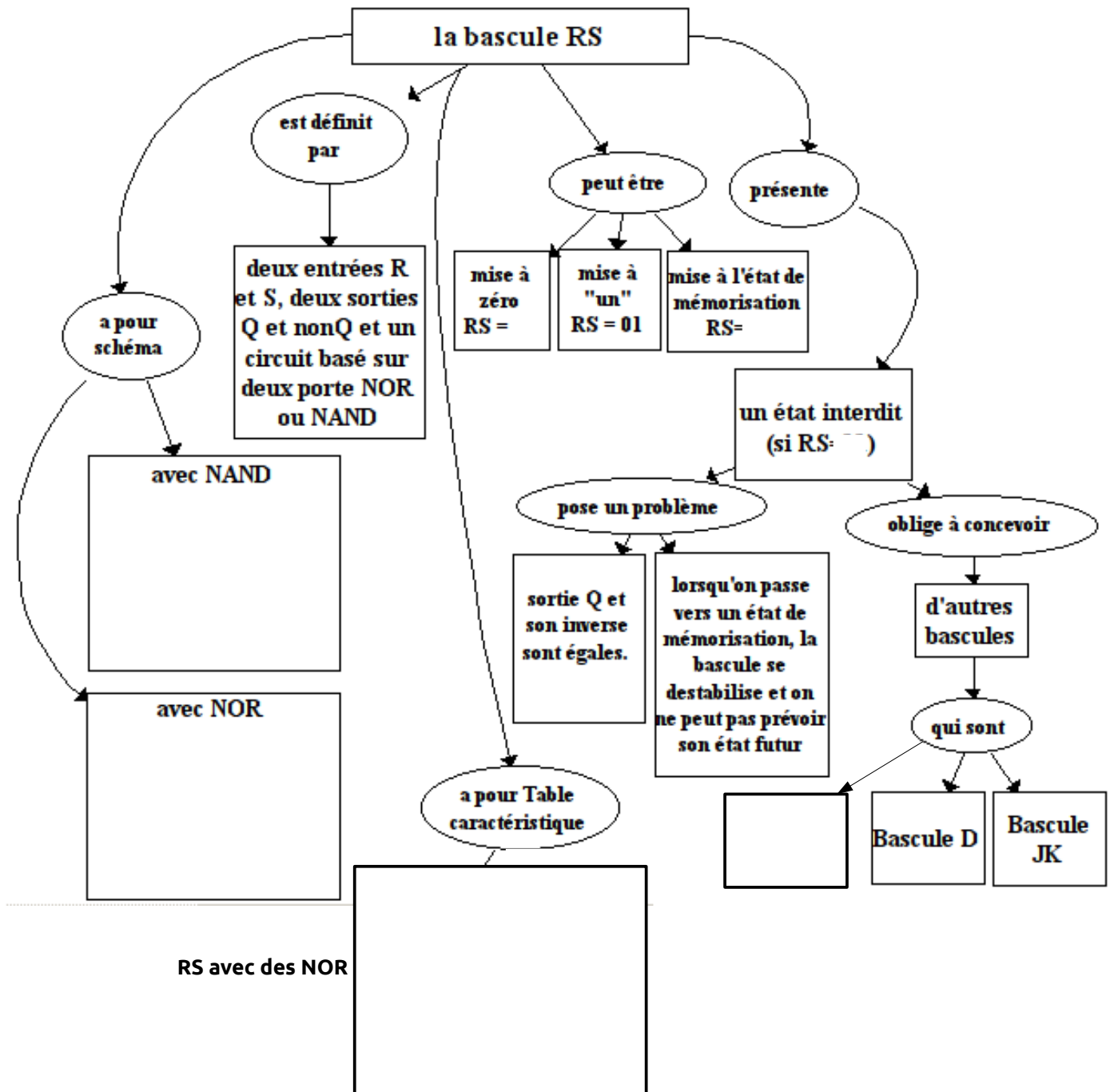


$S$	$R$	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	0	$Q_n$	$\overline{Q}_n$
0	1	0	1
1	0	1	0
1	1	X	X



Cette bascule est  synchrone  
 asynchrone

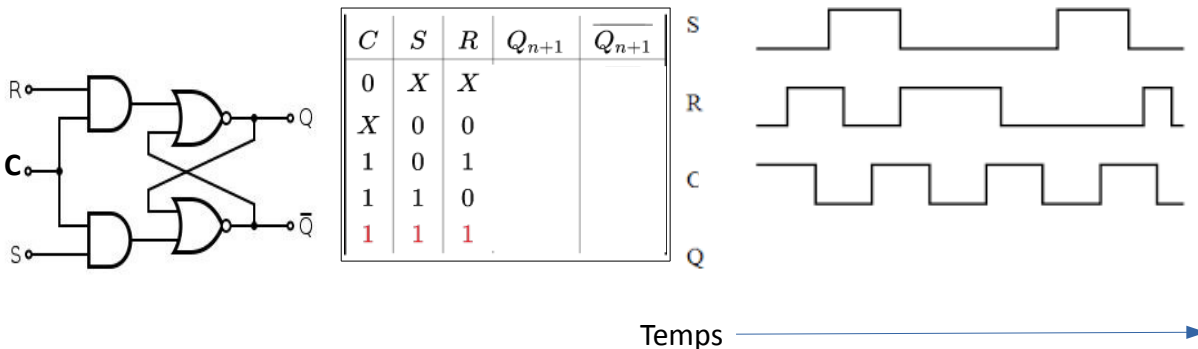
**Q8 :** Complétez le schéma suivant :





**Objectif :** Expliquer le fonctionnement des différentes bascules RSH, D, T, et JK.

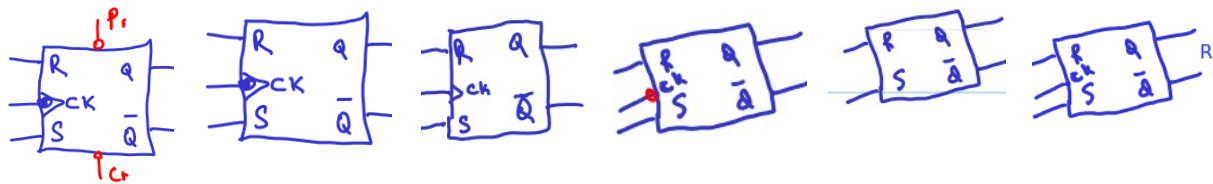
**Q9 :** Soit la bascule RSH suivante, complétez sa table de vérité et le logigramme ci-dessous :



Cette bascule est  synchrone  asynchrone

**Q10 :** Pourquoi nous ne devons pas mettre les entrées R et S à « 1 » au même temps ?

**Q11 :** Reliez les schémas des bascules RS suivantes à leurs bonnes définitions :

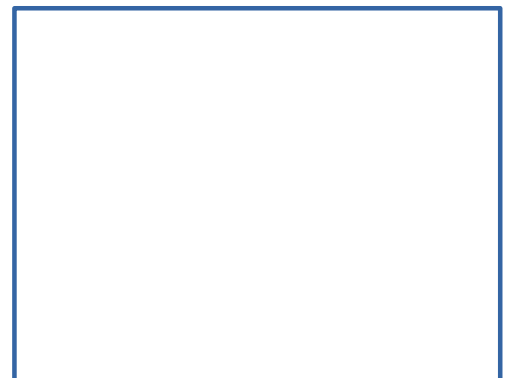


Bascule RS asynchrone	Bascule RS synchrone sensible au front montant	Bascule RS synchrone sensible au front descendant	Bascule RS synchrone sensible au niveau haut	Bascule RS synchrone sensible au front descendant avec des entrées d'initialisation asynchrones	Bascule RS synchrone sensible au niveau bas
-----------------------	--	---	--	---	---

**Q12 :** Bascule T : Donnez le schéma d'une bascules « T » sensible au front montant de l'horloge

Complétez sa table de vérité :

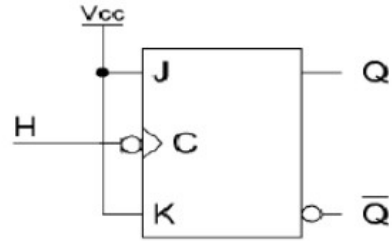
T	H	$Q_n$	$\overline{Q_n}$	remarque
1	↗		$Q_{n-1}$	basculement
1	0,1, ↘			
0	0,1, ↗, ↘			mémorisation



**Q13 :** Bascule JK : Soit la bascule JK représentée par le schéma suivant :

A - Cette bascule

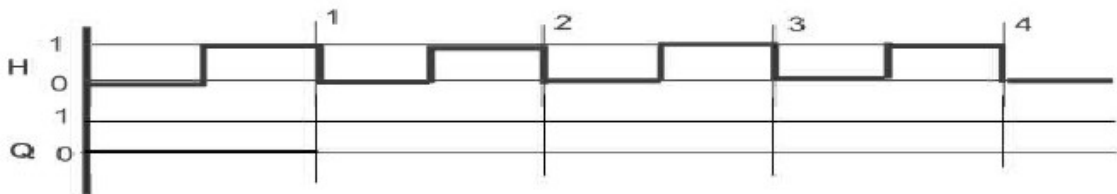
1. est-elle synchrone ou asynchrone ?
2. Est-elle sensible au front d'horloge ?
3. Est-elle sensible au front montant de l'horloge ?



B – Donnez sa table de vérité :

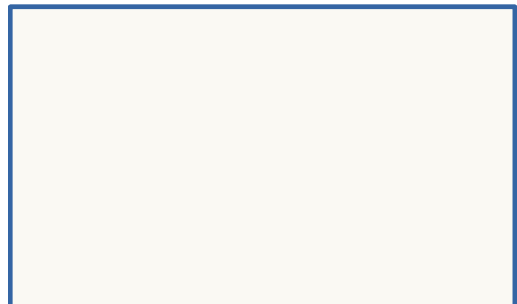


B - Complétez le logigramme suivant :



**Q14 :** Bascule D

A - Donnez le schéma d'une bascule D synchrone sensible au **niveau d'horloge haut** et basée sur une bascule RS.

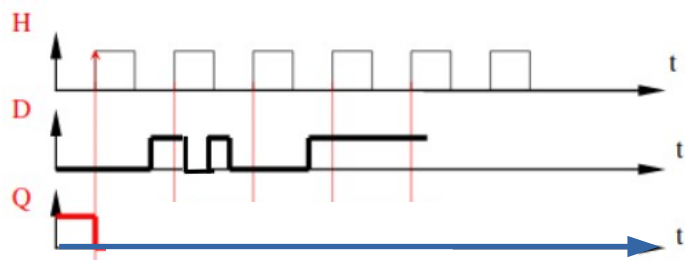


B - Cette bascule est-elle appelée « verrous » ou flip-flop ?

C – Donnez sa table de vérité :



D – complétez le logigramme suivant





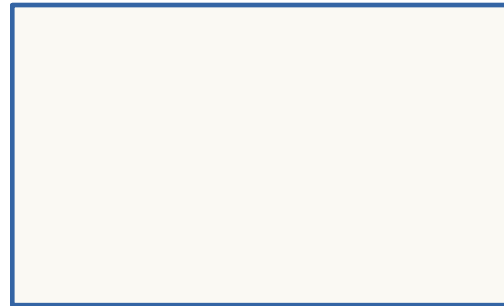
**Objectif :** Utilisez les bascules D et JK pour réaliser des compteurs et des registres.

**Q15 :** Bascule D

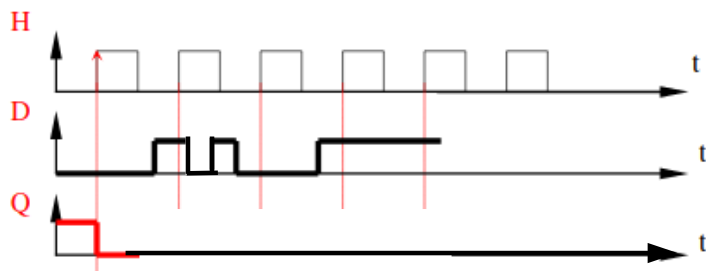
A - Donnez le schéma d'une bascule D synchrone sensible au **front d'horloge haut** et basée sur une bascule JK.

B - Cette bascule est-elle appelée « verrous » ou flip-flop ?

C – Donnez sa table de vérité :



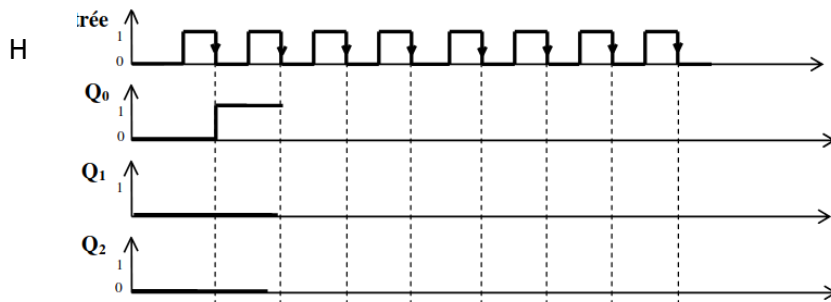
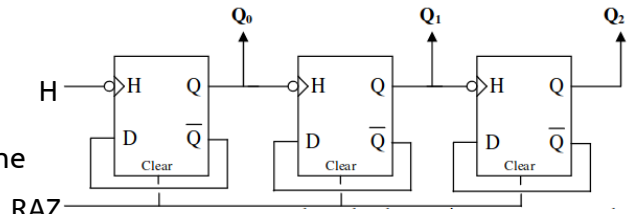
D – complétez le logigramme suivant



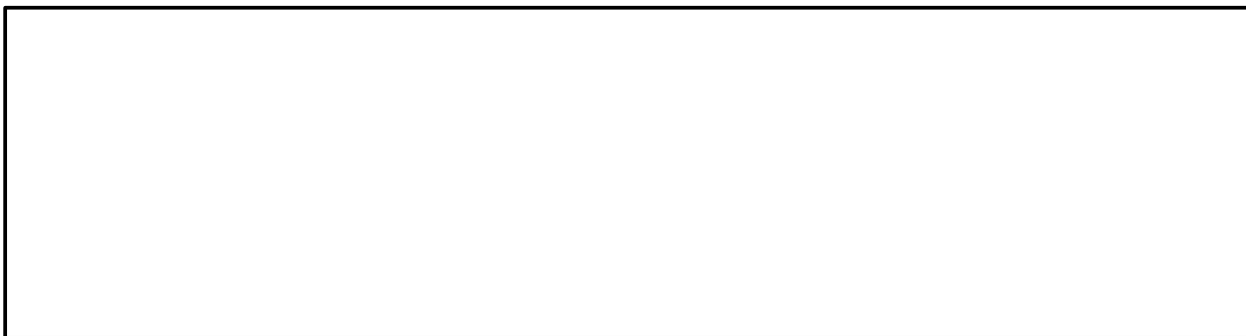
**Q16 –** Compteur : Soit le schéma suivant

RAZ à « 1 » permet de remettre à zéro le compteur.

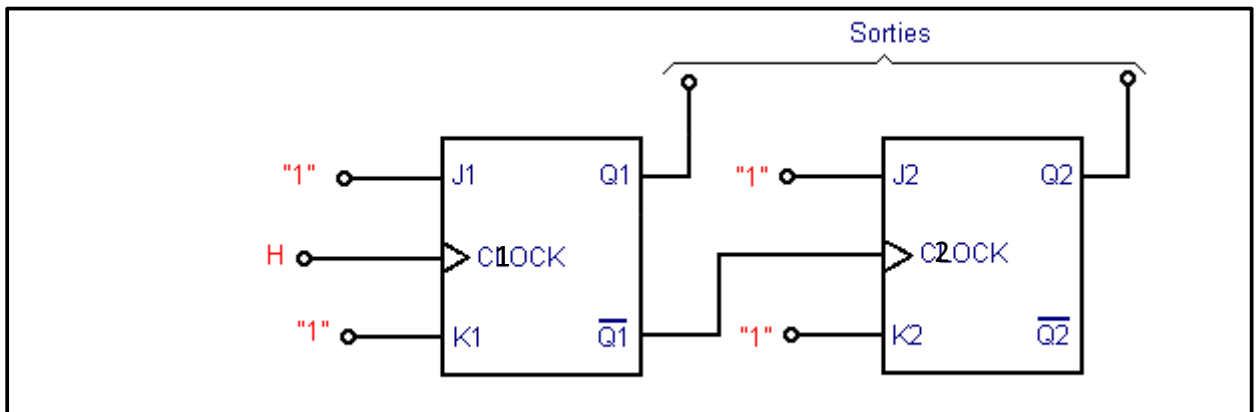
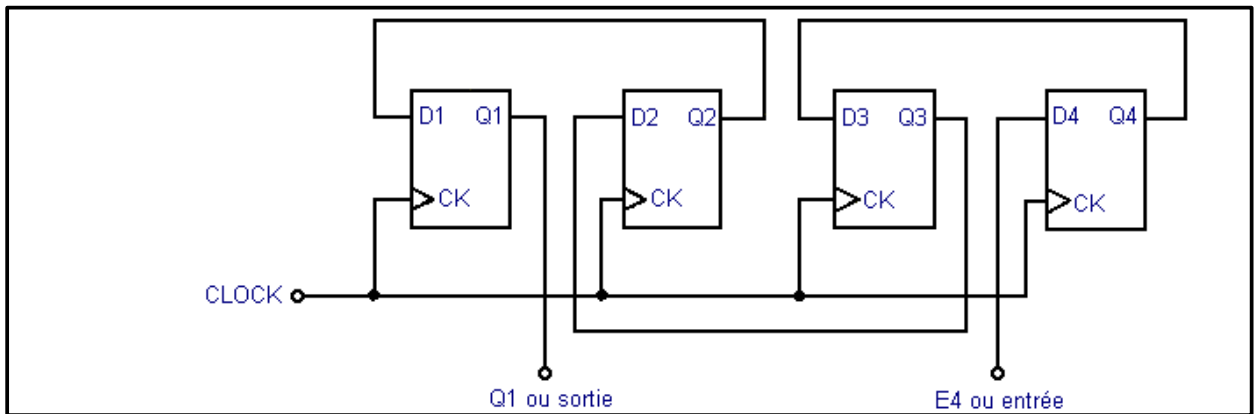
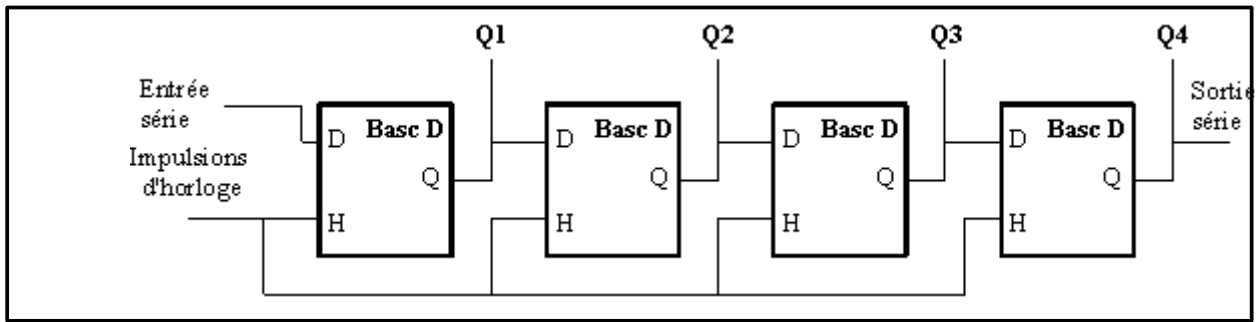
En supposant que RAZ est à 0, complétez le logigramme suivant



**Q17 –** Donnez le schéma d'un registre à décalage de gauche à droite en utilisant des bascules D synchrones sensibles au front montant.



**Q18** – les circuits suivants représentent quoi ?



Pour comprendre le rôle du dernier schéma, je vous suggère d'analyser le chronogramme suivant :

