

Université de Béjaia Faculté des sciences exactes Département de mathématique Niveau Licence 1	Examen de rattrapage Structure Machine 2 Durée : 1h30 15 Décembre 2020 de 14h à 15h30	<h1 style="color: red; margin: 0;">Corrigé</h1>	<div style="border: 2px solid black; border-radius: 50%; width: 60px; height: 60px; margin: 0 auto; display: flex; align-items: center; justify-content: center;"> <span style="font-size: 24px; font-weight: bold;">20</span> </div>
---	---	---	---

**Chapitre 1 : Circuits logiques combinatoires – CLC (sur 11.5 points)**

**Q1 : CLC (sur 0.5 point) :** Indiquez parmi les composants ci-dessous les circuits logiques **séquentiels** :

- |   |   |                                       |                                      |
|---|---|---------------------------------------|--------------------------------------|
| <input type="checkbox"/> Démultiplexeur       | <input type="checkbox"/> Décodeur                           | <input type="checkbox"/> Additionneur | <input type="checkbox"/> Compteur    |
| <input type="checkbox"/> Afficheur 7-segments | <input type="checkbox"/> Registre                           | <input type="checkbox"/> Mémoire      | <input type="checkbox"/> Comparateur |
| <input type="checkbox"/> Bascule              | <input type="checkbox"/> Transcodeur binaire vers code gray |                                       |                                      |

Indication : Tous doivent être correcte pour avoir 0.5 point

**Q2 : Décodeur sur 1.5 point :** Soit un décodeur ayant 2 entrées de sélection (adresse) ( $a_1, a_0$ ) et une entrée de validation **E**. Donnez :

les équations détaillée de ses sortie $S_0$ et $S_3$	le schéma détaillé de ce décodeur
<p><math>S_0 = \dots \bar{a}_1 \bar{a}_0 \dots</math> <span style="float: right; border: 1px solid black; border-radius: 50%; padding: 2px;">Sur 0.5</span></p> <p><math>S_3 = \dots a_1 a_0 \dots</math> <span style="float: right; border: 1px solid black; border-radius: 50%; padding: 2px;">Sur 0.5</span></p>	

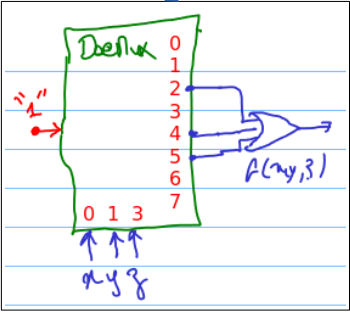
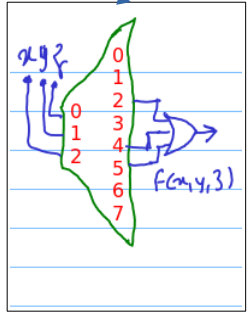
**Q3 : Démultiplexeur sur 1.5 points :** Soit un DémUX ayant 2 entrées de commande  $C_1, C_0$ , donnez :

les équations détaillées de ses sorties $S_0$ et $S_3$	le schéma détaillé de ce DémUX
<p><math>S_0 = \dots d \cdot \bar{C}_1 \bar{C}_0 \dots</math> <span style="float: right; border: 1px solid black; border-radius: 50%; padding: 2px;">Sur 0.5</span></p> <p><math>S_3 = \dots d \cdot C_1 C_0 \dots</math> <span style="float: right; border: 1px solid black; border-radius: 50%; padding: 2px;">Sur 0.5</span></p> <p style="text-align: center; color: red; font-weight: bold;">D étant l'entrée de donnée</p>	

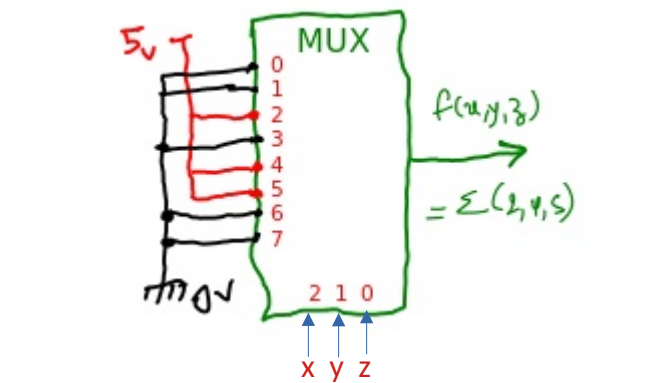
**Q4 : Réalisation de fonctions à l'aide de multiplexeurs et de démultiplexeur sur 2 points :** En vous servant d'un décodeur (ou **DÉMUX**) puis d'un multiplexeur, donnez le schéma de réalisation de la fonction  $f(x,y,z) = \Sigma(2,4,5)$

Réalisation à l'aide d'un DÉMUX Sur 1 point

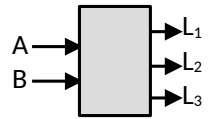
Les deux réponses données ici sont considérées comme justes

Réalisation à l'aide d'un MUX Sur 1 point



**Q5 : Faire la synthèse d'un circuit (sur 2 points)** . On vous demande de faire la synthèse d'un circuit qui permet d'indiquer le numéro codé par les entrées **A** et **B**. Ainsi, lorsque  $(AB) = (00)$ , les sorties (**L3**, **L2** et **L1**) sont toutes égales à « 0 ».  $L_i$  ( $i$  allant de 1 à 3) est à « 1 » si code formé par les entrées **A** et **B** est  $i$ .



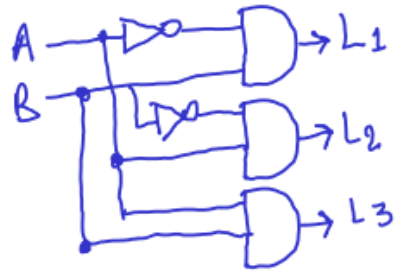
**A** – Établir la table de vérité des sorties **L3**, **L2** et **L1** Sur 0.5 points

A	B	L1	L2	L3
0	0	0	0	0
0	1	1	0	0
1	0	0	1	0
1	1	0	0	1

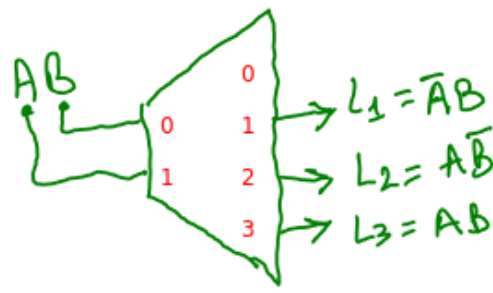
**B** – Dédurre les équations des sorties **L3**, **L2** et **L1** Sur 0.5 points

$L_1 = \bar{A}B$   
 $L_2 = A\bar{B}$   
 $L_3 = AB$

**C** – Dédurre le logigramme Sur 0.5 points



**D** – Réalisez le même circuit en utilisant un décodeur Sur 0.5 points



**Q6 : DÉMUX (1 point)** . J'ai un DÉMUX ayant 6 entrées de commande ( $c_5c_4c_3c_2c_1c_0$ ) et une entrée de donnée **D**.

A – Combien de sorties possède ce DÉMUX ?  **$2^6 = 64$  sorties**

A - Donnez l'expression algébrique détaillée de sa sortie **S<sub>32</sub>** :

$c_5 \bar{c}_4 \bar{c}_3 \bar{c}_2 \bar{c}_1 \bar{c}_0$   
 $1 \ 0 \ 0 \ 0 \ 0 \ 0$

**Q7 : MUX (sur 0.5 point)** . J'ai un multiplexeur ayant 2 entrées de commande ( $c_1, c_0$ ).

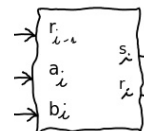
Donnez l'expression algébrique détaillée de sa sortie  $S$  :  $S = d_0 \bar{c}_1 \bar{c}_0 + d_1 \bar{c}_1 c_0 + d_2 c_1 \bar{c}_0 + d_3 c_1 c_0$

**Q8 : DEC (sur 0.5 point)** . Soit un DEC à 4 entrées ( $e_3, e_2, e_1, e_0$ ),

donnez l'expression algébrique détaillée de sa sortie  $S_6$  :  $S_6 = \bar{e}_3 e_2 e_1 \bar{e}_0$

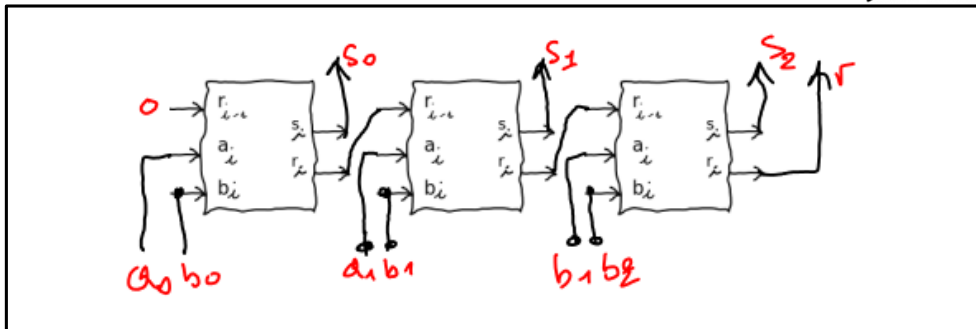
**Q9 : ADD (sur 1 point)** . Donnez les équations des sorties d'un étage additionneur complet

$s_i = a_i \oplus (b_i \oplus r_{i-1})$        $r_i = (a_i \oplus b_i) r_{i-1} + a_i b_i$



**Q10 : ADD (sur 1 point)** .

En vous servant uniquement de l'étage additionneur de la question précédente, donnez le montage d'une addition 3 bits



**Chapitre 2 : Circuits logiques séquentiels (sur 8.5 points)**

**Q11 - Bascule JK synchrone au niveau bas de l'horloge H (sur 1 point)** : Indiquez ce qui se passe lorsque :

- H=0 et J = K = 0 : **Mémorisation**
- H=1 et J=1 et K=0 : **Mémorisation**
- H=1 et J=0 et k=1 : **Mémorisation**
- H=1 et J=K=1 : **Mémorisation**

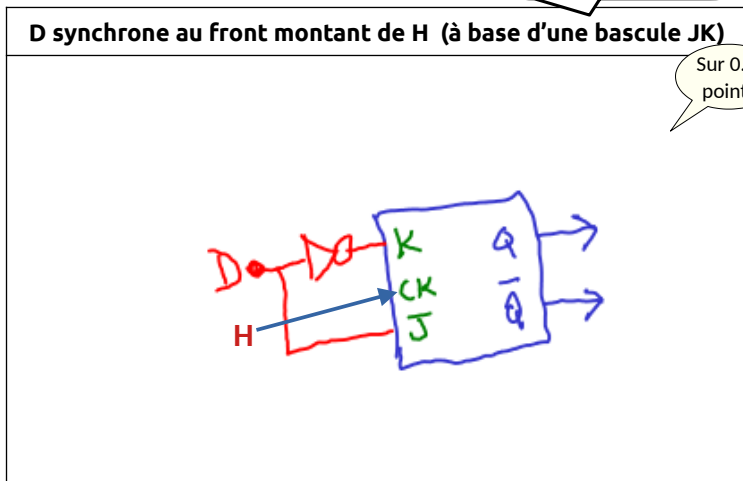
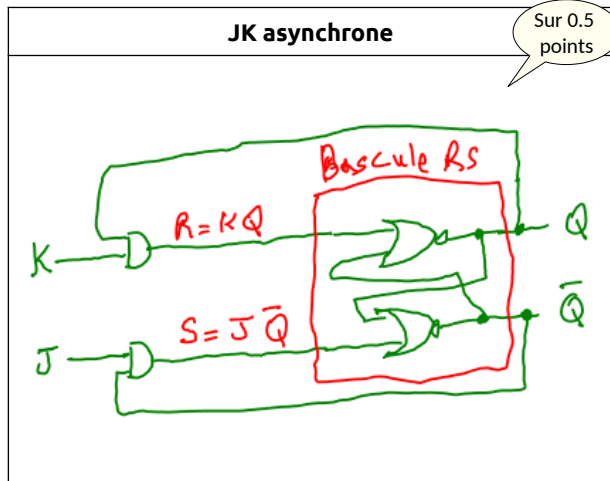
La bascule étant sensible au niveau BAS implique que lorsque H=1, elle se met en état de mémorisation  
Si H=0, elle devient sensible à ses entrées, et si J=K=0 alors elle se met en état de mémorisation

Dans tous les cas la bascule est en état de mémorisation

Attention, votre réponse doit être entièrement correcte pour avoir 1 point

**Q12 - Bascule RS (sur 1 points)** : Donnez les schémas détaillés des bascules suivantes

Ne donnez pas le détail de la bascule JK

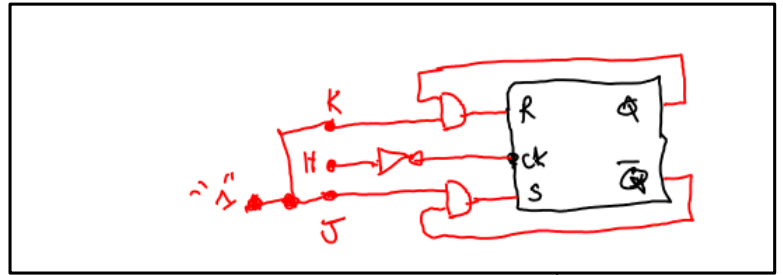


**Q13 - Synchronisation (sur 2 points)** : Citez les 4 types de synchronisation des bascules (relativement à une horloge H)

- Synchronisation au niveau haut de H
  - Synchronisation au niveau bas de H
  - Synchronisation au front montant de H
  - Synchronisation au front descendant de H
- Chaque bonne réponse sur 0.5 point

**Q14 - Bascule JK (sur 1.5 points) :**

A - Donnez le schéma d'une bascule JK Ck sensible au niveau bas d'une l'horloge H  
Les entrées J et K de cette bascule sont mise toutes les deux à « 1 » !



B - Que passe-t-il lorsqu'on met l'entrée H à 1 ?

**La bascule se met en état de mémorisation**

C - Que passe-t-il lorsqu'on met l'entrée H à 0 ?

**La bascule se met en état de complémentation**

Complétez le schéma

**Q15 - Bascules (sur 1 point) :** Indiquez les bonnes réponses

- Les bascules FlipFlop sont plus complexes que les verrous
- On peut construire une bascule D à partir d'une bascule JK
- Une bascule T est construite à partir d'une bascule D
- La bascule JK est recommandé pour réaliser des compteurs
- La bascule D est recommandée pour réaliser des mémoires
- Une bascule synchrone contient moins de portes logiques qu'une bascule asynchrone
- Les bascules Latch sont différentes des verrous
- On peut réaliser la bascule RS à l'aide de portes NAND

Attention, votre réponse doit être entièrement correcte pour avoir 1 point

Une erreur vous coutera 0.5.

Plus d'une erreur vous aurez 0.

**Q16 - Registre (sur 2 points) :** Donnez le schéma logique d'un registre à décalage de droite vers la gauche. Ce registre doit mémoriser **3 bits** d'information. Il doit disposer d'une entrée Série droite (ESD), d'une sortie série gauche (SRG) et d'une entrée de commande permettant le décalage de droite vers la gauche (DEC).

