

Université de Béjaia Faculté des sciences exactes Département de mathématique Niveau Licence 1	Examen de Structure Machine 2 Durée : 1h30 26 Juin 2021 de 12h30 à 14h00	Corrigé
---	---	---------

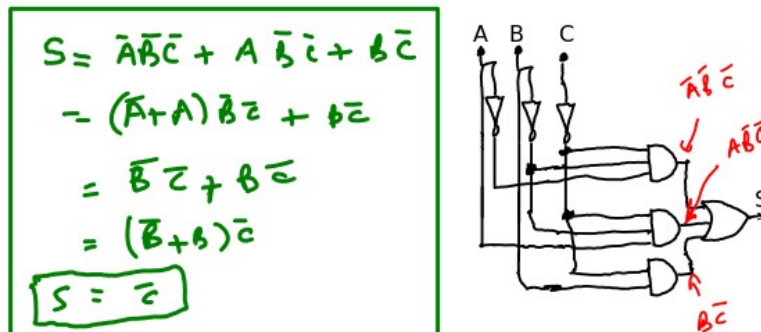
Chapitre 1 : Circuits logiques combinatoires – CLC (sur 10,5 points)

Q1 : Distinguer entre CLC et CLS (1 point) : Cochez les bonnes affirmations :

- un CLC remplit une fonction de mémorisation
- les sorties d'un CLC ne dépendent pas de leur état précédent**
- les sorties d'un CLS dépendent uniquement des entrées combinatoires
- les sorties d'un CLC dépendent de leurs entrées combinatoires et de leur état précédent
- Une bascule est un CLC
- un registre est un CLS**
- un compteur est un CLC
- On utilise des chronogrammes pour analyser des CLS**
- Un décodeur est un CLC**

Indication : chaque erreur coûtera 0.5 points

Q2 : Analyse d'un circuit logique (sur 1 point) : Effectuez l'analyse du circuit suivant :



On voit que la sortie de ce circuit est C_{barre}

Q3 - Différencier entre décodeur (DEC), multiplexeur (MUX) et démultiplexeur (DÉMUX) (sur 3 points).

Complétez le texte suivant :

- Un DEC est un circuit ayant n entrées d'adresse et 2^n sorties et possiblement une entrée de validation E . En ignorant son entrée de validation, l'équation de chacune de ses sorties S_i est donnée par la formule suivante
 $S_i = m_i$ avec m_i le minterme i composé des variables d'entrée.
- Un DeMUX est un circuit ayant n entrées de commande, **une** entrée de données, et 2^n sorties et possiblement une entrée de validation E . En ignorant son entrée de validation, l'équation de chacune de ses sorties S_i est donnée par la formule suivante
 $S_i = D \cdot m_i$ avec m_i le minterme i composé des variables de commande
- Un MUX est un circuit ayant n entrées de commande, 2^n entrées de données, et **une** sortie et possiblement une entrée de validation E . En ignorant son entrée de validation, l'équation de sa sortie S est donnée par la formule suivante :

$$S = \sum_{i=0}^{2^n-1} e_i m_i$$

e_i : les entrées de données et m_i : mintermes des variables de commande

Indication : chaque erreur coûtera 0,5 point

Q4 – Décodeur (sur 2 points) : Donner le schéma détaillé d'un décodeur à 2 entrées ($a_1 a_0$) puis donnez les équations de ses sorties S_i (on supposera qu'on a une entrée de validation E)

Schéma détaillé d'un décodeur à 3 entrées ($a_1 a_0$)

1

$S_i = m_i \cdot E$

$S_0 = \bar{a}_1 \bar{a}_0 E$

$S_1 = \bar{a}_1 a_0 E$

$S_2 = a_1 \bar{a}_0 E$

$S_3 = a_1 a_0 E$

Q5 : Réalisation de fonctions à l'aide de multiplexeurs et de décodeurs sur 3,5 points : En vous servant d'un décodeur puis d'un multiplexeur, donnez le schéma de réalisation de la fonction demi-soustracteur (opération de soustraction binaire entre 2 bits) ayant pour entrées : a_0 et b_0 et comme sorties : s_0 (la somme) et r_0 (la retenue).

A – Donnez la table de vérité des fonctions s_0 et r_0

	a_0	b_0	s_0	r_0
m_0	0	0	0	0
m_1	0	1	1	1
m_2	1	0	1	0
m_3	1	1	0	0

B – Donnez les équations de s_0 et r_0 sous forme canonique disjonctive:

$S_0 = m_1 + m_2 \quad r_0 = m_1$

0,5

0,5

0,5

C – Donnez le logigramme de s_0 et r_0 en utilisant d'abord un **décodeur** puis un **MUX** (un MUX possède une seule sortie)

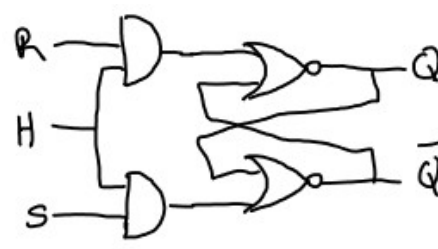
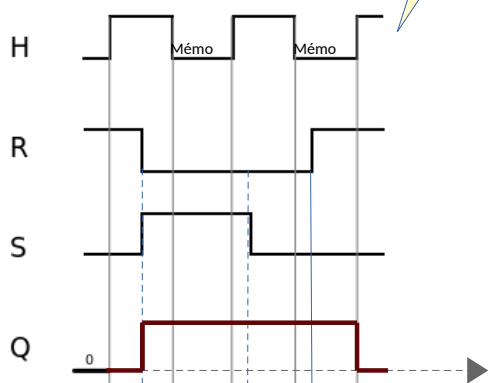
Réalisation à l'aide d'un décodeur

Réalisation à l'aide d'un MUX

Chapitre 2 : Circuits logiques séquentiels (sur 9,5 points)

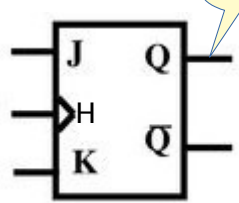
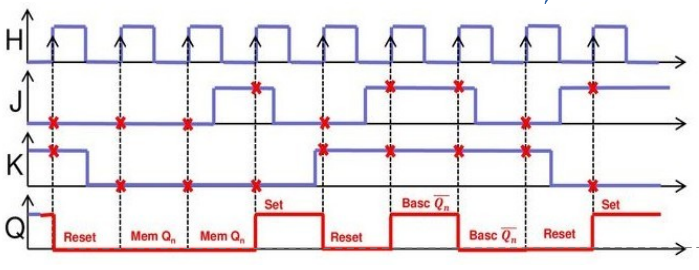
Q6 - Bascule RS (sur 1,5 point) : Complétez le tableau suivant

Bascule RS synchrone sensible au niveau haut de l'horloge

Schéma détaillé	Table de vérité	Chronogramme																					
	<table border="1" style="border-collapse: collapse;"> <thead> <tr> <th>H</th> <th>R</th> <th>S</th> <th>Q_{n+1}</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>X</td> <td>X</td> <td>Q_n</td> </tr> <tr> <td rowspan="4" style="text-align: center;">1</td> <td>0</td> <td>0</td> <td style="color: green;">Q_n</td> </tr> <tr> <td>0</td> <td>1</td> <td style="color: green;">1</td> </tr> <tr> <td>1</td> <td>0</td> <td style="color: green;">0</td> </tr> <tr> <td>1</td> <td>1</td> <td style="color: green;">interdit</td> </tr> </tbody> </table> <p style="text-align: center; border: 1px solid black; padding: 5px; display: inline-block;">État interdit</p>	H	R	S	Q _{n+1}	0	X	X	Q _n	1	0	0	Q _n	0	1	1	1	0	0	1	1	interdit	
H	R	S	Q _{n+1}																				
0	X	X	Q _n																				
1	0	0	Q _n																				
	0	1	1																				
	1	0	0																				
	1	1	interdit																				

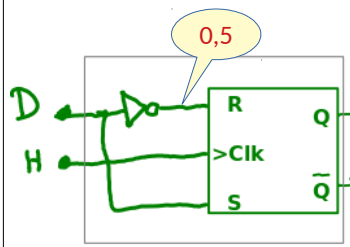
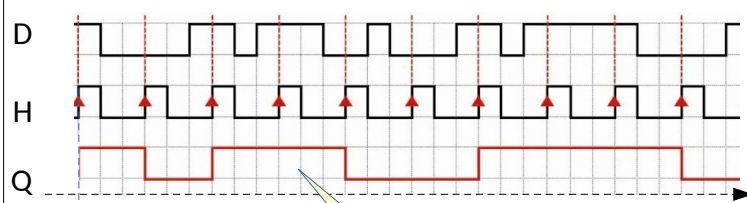
Q7 - Bascule JK (sur 1.5 points) : Complétez le tableau suivant

Bascule JK synchrone sensible au front montant d'horloge

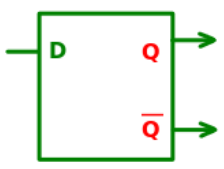
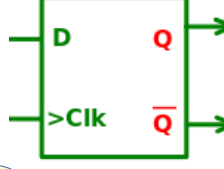
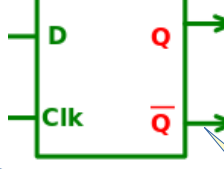
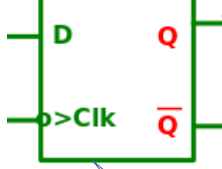
Schéma global (non détaillé)	Table de vérité	Chronogramme																					
	<table border="1" style="border-collapse: collapse;"> <thead> <tr> <th>H</th> <th>J</th> <th>K</th> <th>Q_{n+1}</th> </tr> </thead> <tbody> <tr> <td>0,1, ↕</td> <td>X</td> <td>X</td> <td style="color: red;">Q_n</td> </tr> <tr> <td rowspan="4" style="text-align: center;">Front montant</td> <td>0</td> <td>0</td> <td style="color: red;">Q_n</td> </tr> <tr> <td>0</td> <td>1</td> <td style="color: red;">0</td> </tr> <tr> <td>1</td> <td>0</td> <td style="color: red;">1</td> </tr> <tr> <td>1</td> <td>1</td> <td style="color: red;">Q̄_n</td> </tr> </tbody> </table> <p style="text-align: center; border: 1px solid black; padding: 5px; display: inline-block;">Basculement Ou Complémentation</p>	H	J	K	Q _{n+1}	0,1, ↕	X	X	Q _n	Front montant	0	0	Q _n	0	1	0	1	0	1	1	1	Q̄ _n	
H	J	K	Q _{n+1}																				
0,1, ↕	X	X	Q _n																				
Front montant	0	0	Q _n																				
	0	1	0																				
	1	0	1																				
	1	1	Q̄ _n																				

Q8 - Bascule D (sur 1.5 points) : Complétez le tableau suivant

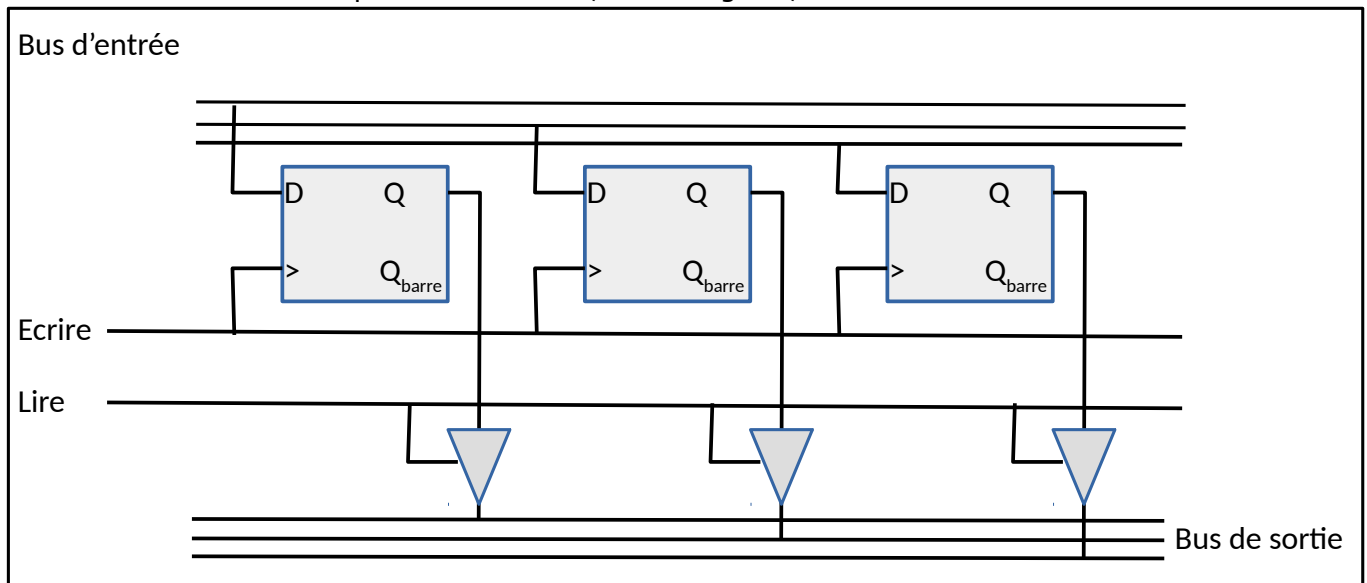
Bascule D synchrone sensible au front montant d'horloge

Schéma à base de la bascule RS	Table de vérité	Chronogramme											
	<table border="1" style="border-collapse: collapse;"> <thead> <tr> <th>H</th> <th>D</th> <th>Q_{n+1}</th> </tr> </thead> <tbody> <tr> <td>0,1, ↕</td> <td>X</td> <td style="color: red;">Q_n</td> </tr> <tr> <td rowspan="2" style="text-align: center;">Front montant</td> <td>0</td> <td style="color: red;">0</td> </tr> <tr> <td>1</td> <td style="color: red;">1</td> </tr> </tbody> </table>	H	D	Q _{n+1}	0,1, ↕	X	Q _n	Front montant	0	0	1	1	
H	D	Q _{n+1}											
0,1, ↕	X	Q _n											
Front montant	0	0											
	1	1											

Q9 - Synchronisation (sur 2 points) : Donnez les schémas (globaux) des bascule D suivantes :

D asynchrone	D Flip-flop sensible au front montant de l'horloge	D sensible au niveau haut de l'horloge	D Flip-flop sensible au front descendant de l'horloge
			
	0,5	0,5	0,5

Q10 - Registre (sur 2 points) : En utilisant des bascules **D synchrones sensibles au front montant**, donnez le schéma d'un registre (3 bits) doté d'une entrées **LIRE** permettant de lire le contenu du registre dans le bus de sortie et une entrée **ECRIRE** permettant d'écrire, dans le registre, une valeur se trouvant dans un bus d'entrée :



Q11 - Compteur (sur 1,5 point) : En utilisant des bascules **JK synchrones sensibles au front montant**, donnez le schéma d'un compteur modulo 7.

